

#10
PRIORITY Doc
3-13-03
Docket: 0756-2324
FISHERS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re New **PATENT** Application of)
Shunpei YAMAZAKI et al) Attn: Applications
Japanese Priority Application No. 2001-057201) Branch
Japanese Priority Date: March 1, 2001)
For: SEMICONDUCTOR DEVICE) Date: June 18, 2001



CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119 AND
SUBMISSION OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231


Sir:

Applicant hereby claims foreign priority benefits under 35 U.S.C. § 119 based upon the following foreign patent application:

Japanese Application Nos.: 2001-057201 filed March 1, 2001 and 2000-183848 filed June 19, 2000.

Certified copies of the priority Japanese applications are submitted herewith.

Respectfully submitted,



Jeffrey L. Costellia
Registration No. 35,483

NIXON PEABODY LLP
8180 Greensboro Drive, Suite 800
McLean, Virginia 22102
(703) 790-9110

JLC/sas

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1046 U.S. PTO
09/882265
06/18/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月19日

出 願 番 号

Application Number:

特願2000-183848

出 願 人

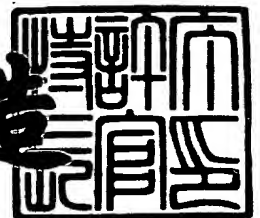
Applicant(s):

株式会社半導体エネルギー研究所

2001年 4月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3036262

【書類名】 特許願

【整理番号】 P004999

【提出日】 平成12年 6月19日

【あて先】 特許庁長官 近藤 隆彦 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 三津木 亨

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 笠原 健司

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 浅見 勇臣

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 高野 圭恵

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 志知 武司

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小久保 千穂

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】

シリコンを主成分とする半導体層で薄膜トランジスタが形成されている半導体装置において、前記半導体層は、チャネル形成領域と、一導電型の不純物が添加された不純物領域を有し、前記チャネル形成領域は、反射電子線回折パターン法で検出される $\{101\}$ 面の前記半導体膜の表面となす角が10度以内である割合が20%以上であり、かつ、 $\{001\}$ 面の前記半導体膜の表面となす角が10度以内である割合が3%以下であり、かつ、 $\{111\}$ 格子面の前記半導体膜の表面となす角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項2】

シリコンを主成分とする非晶質半導体膜に金属元素を添加して、加熱処理とレーザー処理により作製された結晶構造を有する半導体層で薄膜トランジスタが形成されている半導体装置において、前記半導体層は、チャネル形成領域と、一導電型の不純物が添加された不純物領域を有し、前記チャネル形成領域は、反射電子線回折パターン法で検出される $\{101\}$ 面の前記半導体膜の表面となす角が10度以内である割合が20%以上であり、かつ、 $\{001\}$ 面の前記半導体膜の表面となす角が10度以内である割合が3%以下であり、かつ、 $\{111\}$ 格子面の前記半導体膜の表面となす角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項3】

画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、前記画素部及び前記駆動回路における薄膜トランジスタの全てはnチャネル型であり、前記薄膜トランジスタのチャネル形成領域は、シリコンを主成分とする半導体層

で形成され、前記半導体層は、反射電子線回折パターン法で検出される {1 0 1} 面の前記半導体膜の表面となす角が 1 0 度以内である割合が 2 0 % 以上であり、かつ、{0 0 1} 面の前記半導体膜の表面となす角が 1 0 度以内である割合が 3 % 以下であり、かつ、{1 1 1} 格子面の前記半導体膜の表面となす角が 1 0 度以内である割合が 5 % 以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項 4】

画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、前記画素部及び前記駆動回路における薄膜トランジスタの全ては p チャンネル型であり、前記薄膜トランジスタのチャンネル形成領域は、シリコンを主成分とする半導体層で形成され、前記半導体層は、反射電子線回折パターン法で検出される {1 0 1} 面の前記半導体膜の表面となす角が 1 0 度以内である割合が 2 0 % 以上であり、かつ、{0 0 1} 面の前記半導体膜の表面となす角が 1 0 度以内である割合が 3 % 以下であり、かつ、{1 1 1} 格子面の前記半導体膜の表面となす角が 1 0 度以内である割合が 5 % 以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項 5】

画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、前記駆動回路は n チャンネル型及び p チャンネル型の薄膜トランジスタで形成され、前記 n チャンネル型及び p チャンネル型の薄膜トランジスタのチャンネル形成領域のそれぞれは、シリコンを主成分とする半導体層で形成され、前記半導体層は、反射電子線回折パターン法で検出される {1 0 1} 面の前記半導体膜の表面となす角が 1 0 度以内である割合が 2 0 % 以上であり、かつ、{0 0 1} 面の前記半導体膜の表面となす角が 1 0 度以内である割合が 3 % 以下であり、かつ、{1 1 1} 格子面の前記半導体膜の表面となす角が 1 0 度以内である割合が 5 % 以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする

半導体装置。

【請求項 6】

画素部を絶縁体上に形成した半導体装置において、前記画素部における薄膜トランジスタのチャンネル形成領域は、シリコンを主成分とする半導体層で形成され、前記チャンネル形成領域は、反射電子線回折パターン法で検出される {101} 面の前記半導体膜の表面となす角が 10 度以内である割合が 20 % 以上であり、かつ、{001} 面の前記半導体膜の表面となす角が 10 度以内である割合が 3 % 以下であり、かつ、{111} 格子面の前記半導体膜の表面となす角が 10 度以内である割合が 5 % 以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項 7】

画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、前記駆動回路は一導電型の薄膜トランジスタで形成されたバッファを有し、前記バッファは第 1 の一導電型の薄膜トランジスタと該第 1 の一導電型の薄膜トランジスタと直列に接続され、かつ、該第 1 の一導電型の薄膜トランジスタのドレインをゲートとする第 2 の一導電型薄膜トランジスタを有し、前記第 1 及び第 2 の薄膜トランジスタのチャンネル形成領域のそれぞれは、シリコンを主成分とする半導体層で形成され、前記半導体層、反射電子線回折パターン法で検出される {101} 面の前記半導体膜の表面となす角が 10 度以内である割合が 20 % 以上であり、かつ、{001} 面の前記半導体膜の表面となす角が 10 度以内である割合が 3 % 以下であり、かつ、{111} 格子面の前記半導体膜の表面となす角が 10 度以内である割合が 5 % 以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、前記チャンネル形成領域に含まれる金属元素の濃度が $1 \times 10^{17} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項 9】

請求項 8 において、前記金属元素は、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au から選ばれた一種または複数種であることを特徴とする薄膜トランジスタ。

【請求項 10】

請求項 1 乃至請求項 7 のいずれか一項において、前記シリコンを主成分とする半導体層は、ゲルマニウムを 0.1 原子%以上 10 原子%以下の濃度で含むことを特徴とする薄膜トランジスタ。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項において、前記半導体膜の厚さは 20 nm 乃至 100 nm であることを特徴とする半導体装置。

【請求項 12】

請求項 4 または請求項 5 において、前記駆動回路は複数の NAND から成るデコーダを含むことを特徴とする半導体装置。

【請求項 13】

請求項 4 において、前記駆動回路はエンハンスメント型とデプレッション型の薄膜トランジスタで形成されたフリップフロップ回路から成るシフトレジスタを含むことを特徴とする半導体装置。

【請求項 14】

請求項 1 乃至請求項 7 のいずれか一項において、前記半導体膜の表面に対して水平に存在する格子面の間隔と、前記半導体膜の表面に対して 60 度傾いて存在する格子面の間隔との差が、格子定数に換算した場合、0 を越え 0.002 nm 以下であることを特徴とする半導体装置。

【請求項 15】

請求項 1 乃至請求項 14 のいずれか一項において、前記半導体装置は携帯電話、ビデオカメラ、携帯型情報端末、テレビ受像器、電子書籍、パーソナルコンピュータ、DVD プレーヤー、デジタルスチルカメラから選ばれた一つであることを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は結晶構造を有する半導体膜で活性領域を形成した半導体装置に関する。特に、薄膜トランジスタ、或いは、該薄膜トランジスタで回路を形成した半導体装置に関する。尚、本明細書において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、半導体集積回路、電気光学装置、電子機器は半導体装置の範疇に含まれるものとする。

【 0 0 0 2 】

【従来の技術】

厚さ数 n m から数百 n m 程度の結晶構造を有する半導体膜（以下、結晶質半導体膜という）を用いて、薄膜トランジスタ（以下、T F T という）を作製する技術が開発されている。T F T は液晶表示装置に用いるスイッチング素子として実用化が進み、近年においてはガラス基板上に半導体集積回路を形成することも可能になっている。

【 0 0 0 3 】

T F T に好適に用いられる結晶質半導体膜の材料はシリコンである。結晶構造を有するシリコン膜（以下、結晶質シリコン膜という）は、プラズマ C V D 法や減圧 C V D 法により、ガラスまたは石英などの基板上に堆積した非晶質シリコン膜を、加熱処理、或いはレーザー光の照射（以下、本明細書中においてレーザー処理という）により結晶化したものが適用されてきた。

【 0 0 0 4 】

しかし、加熱処理による場合には、非晶質シリコン膜を結晶化させるために 6 0 0 ℃ 以上の温度で 1 0 時間以上の加熱処理が必要とされている。この処理温度と処理時間は、T F T の生産性を考慮すると必ずしも適切な方法とは考えられていない。T F T を用いた応用製品として液晶表示装置を考慮すると、基板の面積化に対応するために大型の熱処理炉が必要となり、生産工程における消費エネルギーが増大するばかりか、広い面積に渡って一様な結晶を得ることが困難となる。また、レーザー処理による場合には、レーザー発振器の出力の不安定さのために、やはり均質な結晶を得ることが困難である。このような結晶の品質のば

らつきはTFTの特性ばらつきの原因となり、液晶表示装置やEL表示装置の表示品質を低下させる要因として憂慮されている。

【0005】

一方、非晶質シリコン膜にシリコンの結晶化を助長する金属元素を導入し、従来よりも低い温度の加熱処理で結晶質シリコン膜を作製する技術が開示されている。例えば、特開平7-130652号公報、特開平8-78329号公報では、非晶質シリコン膜にニッケルなどの金属元素を導入し、550℃、4時間の熱処理により結晶質シリコン膜を得ている。

【0006】

また、こうして作製された結晶質シリコン膜を用いたTFTは、単結晶シリコン基板を用いたMOSトランジスタの特性と比べ、依然劣っていた。ガラスや石英などの異種材料上に厚さ数nmから数百nm程度の半導体膜を結晶化させたとしても、複数の結晶粒が集合して成る多結晶構造しか得ることが出来ず、結晶粒中及び結晶粒界に多数存在する欠陥によりキャリアがトラップされ、TFTの性能を律速する要因となっている。

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来の方法で作製される結晶質シリコン膜は、その結晶方位面がランダムに存在し、特定の結晶方位に対する配向率が低かった。加熱処理またはレーザー処理により得られる結晶質シリコン膜は、複数の結晶粒が析出し、 $\{111\}$ に配向する傾向があるが、その面方位に配向する割合が全体の20%を越えることはなかった。

【0008】

配向率が低い場合、異なる方位の結晶がぶつかる結晶粒界で、格子の連続性を保持することが殆ど不可能となり、不對結合手が多く形成されることを推定できる。粒界にできる不對結合手はキャリア（電子・ホール）の捕獲中心となり、輸送特性を低下させている。即ち、キャリアが散乱されたりトラップされたりするため、このような結晶質半導体膜でTFTを作製しても高い電界効果移動度を有するTFTを期待することができない。また、結晶粒界はランダムに存在するた

め、チャネル形成領域を特定の結晶方位をもつ結晶粒で形成することが不可能であり、T F Tの電気的特性のバラツキの要因となる。

【 0 0 0 9 】

本発明はこのような問題点を解決する手段を提供することを目的とし、非晶質半導体膜を結晶化して得られる結晶質半導体膜の配向性を高め、そのような結晶質半導体膜を用いたT F Tを提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

【 0 0 1 1 】

上記問題点を解決するために、本発明の構成は、シリコンを主成分とする半導体層で薄膜トランジスタが形成されている半導体装置において、前記半導体層は、チャネル形成領域と、一導電型の不純物が添加された不純物領域を有し、前記チャネル形成領域は、反射電子線回折パターン法で検出される { 1 0 1 } 面の前記半導体膜の表面となす角が 1 0 度以内である割合が 2 0 % 以上であり、かつ、{ 0 0 1 } 面の前記半導体膜の表面となす角が 1 0 度以内である割合が 3 % 以下であり、かつ、{ 1 1 1 } 格子面の前記半導体膜の表面となす角が 1 0 度以内である割合が 5 % 以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

【 0 0 1 2 】

また、他の発明の構成は、シリコンを主成分とする非晶質半導体膜に金属元素を添加して、加熱処理とレーザー処理により作製された結晶構造を有する半導体層で薄膜トランジスタが形成されている半導体装置において、前記半導体層は、チャネル形成領域と、一導電型の不純物が添加された不純物領域を有し、前記チャネル形成領域は、反射電子線回折パターン法で検出される { 1 0 1 } 面の前記半導体膜の表面となす角が 1 0 度以内である割合が 2 0 % 以上であり、かつ、{ 0 0 1 } 面の前記半導体膜の表面となす角が 1 0 度以内である割合が 3 % 以下であり、かつ、{ 1 1 1 } 格子面の前記半導体膜の表面となす角が 1 0 度以内である割合が 5 % 以下であり、かつ、二次イオン質量分析法において検出される窒素

及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

【 0 0 1 3 】

また、他の発明の構成は、画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、前記画素部及び前記駆動回路における薄膜トランジスタの全てはnチャネル型であり、前記薄膜トランジスタのチャネル形成領域は、シリコンを主成分とする半導体層で形成され、前記半導体層は、反射電子線回折パターン法で検出される $\{101\}$ 面の前記半導体膜の表面となす角が10度以内である割合が20%以上であり、かつ、 $\{001\}$ 面の前記半導体膜の表面となす角が10度以内である割合が3%以下であり、かつ、 $\{111\}$ 格子面の前記半導体膜の表面となす角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

【 0 0 1 4 】

また、他の発明の構成は、画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、前記画素部及び前記駆動回路における薄膜トランジスタの全てはpチャネル型であり、前記薄膜トランジスタのチャネル形成領域は、シリコンを主成分とする半導体層で形成され、前記半導体層は、反射電子線回折パターン法で検出される $\{101\}$ 面の前記半導体膜の表面となす角が10度以内である割合が20%以上であり、かつ、 $\{001\}$ 面の前記半導体膜の表面となす角が10度以内である割合が3%以下であり、かつ、 $\{111\}$ 格子面の前記半導体膜の表面となす角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

【 0 0 1 5 】

また、他の発明の構成は、画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、前記駆動回路はnチャネル型及びpチャネル型の薄膜トランジスタで形成され、前記nチャネル型及びpチャネル型の薄膜トランジスタのチャネル形成領域のそれぞれは、シリコンを主成分とする半導体層で形成され、前

記半導体層は、反射電子線回折パターン法で検出される {101} 面の前記半導体膜の表面となす角が10度以内である割合が20%以上であり、かつ、{001} 面の前記半導体膜の表面となす角が10度以内である割合が3%以下であり、かつ、{111} 格子面の前記半導体膜の表面となす角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

【0016】

また、他の発明の構成は、画素部を絶縁体上に形成した半導体装置において、前記画素部における薄膜トランジスタのチャネル形成領域は、シリコンを主成分とする半導体層で形成され、前記チャネル形成領域は、反射電子線回折パターン法で検出される {101} 面の前記半導体膜の表面となす角が10度以内である割合が20%以上であり、かつ、{001} 面の前記半導体膜の表面となす角が10度以内である割合が3%以下であり、かつ、{111} 格子面の前記半導体膜の表面となす角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

【0017】

また、他の発明の構成は、画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、前記駆動回路は一導電型の薄膜トランジスタで形成されたバッファを有し、前記バッファは第1の一導電型の薄膜トランジスタと該第1の一導電型の薄膜トランジスタと直列に接続され、かつ、該第1の一導電型の薄膜トランジスタのドレインをゲートとする第2の一導電型薄膜トランジスタを有し、前記第1及び第2の薄膜トランジスタのチャネル形成領域のそれぞれは、シリコンを主成分とする半導体層で形成され、前記半導体層、反射電子線回折パターン法で検出される

{101} 面の前記半導体膜の表面となす角が10度以内である割合が20%以上であり、かつ、{001} 面の前記半導体膜の表面となす角が10度以内である割合が3%以下であり、かつ、{111} 格子面の前記半導体膜の表面となす

角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

【0018】

結晶方位の分布は反射電子回折パターン（EBSP: Electron Backscatter diffraction Pattern）により求める（以下、便宜上EBSPと呼ぶ）。EBSPは走査型電子顕微鏡（SEM: Scanning Electron Microscopy）に専用の検出器を設け、一次電子の後方散乱から結晶方位を分析する手法である。EBSP法の測定方法は図6により説明される。電子銃（ショットキー型電界放出電子銃）101、鏡体102、試料室103は通常の走査型電子顕微鏡と同じ構成である。EBSPを測定するにはステージ104を60度程度の傾きを設け試料109を設置する。この状態で試料に向かい合うように検出器106のスクリーン105を挿入する。

【0019】

ここで、結晶構造を持った試料に電子線が入射すると、後方にも非弾性散乱が起こり、その中には試料中でブラッグ回折による結晶方位に特有の線状パターン（一般に菊地像と呼ばれる）も合わせて観察される。EBSPは検出器スクリーンに映った菊地像を解析することにより試料の結晶方位を求めている。

【0020】

図7は基板121上に形成された多結晶構造の結晶質半導体膜122を示している。多結晶構造は各結晶粒が異なった結晶方位を持っていることを前提としている。試料の電子線の当たる位置を移動させつつ方位解析を繰り返す（マッピング測定）ことで、面状の試料について結晶方位または配向の情報を得ることができる。入射電子線の太さは、走査型電子顕微鏡の電子銃のタイプにより異なるが、ショットキー電界放射型の場合、10～20nmの非常に細い電子線123が照射される。マッピング測定では、測定点数が多いほど、また測定領域が広いほど、結晶配向のより平均化した情報を得ることができる。実際には、 $100 \times 100 \mu\text{m}^2$ の領域で、10000点（1 μm 間隔）～40000点（0.5 μm 間隔）の程度の測定を行っている。

【0021】

マッピング測定により各結晶粒の結晶方位がすべて求まると、膜に対する結晶配向の状態を統計的に表示できる。図8（A）にEBSPから求められる逆極点図の例を示す。逆極点図は多結晶体の優先配向を表示する際によく用いられるもので、試料のある特定の面（ここでは膜表面）が、どの格子面に一致しているかを集合的に表示したものである。

【0022】

図8（A）の扇形状の枠は一般に標準三角形と呼ばれるもので、この中に立方晶系における全ての指数が含まれている。またこの図中における長さは、結晶方位における角度に対応している。たとえば $\{001\}$ と $\{101\}$ の間は45度、 $\{101\}$ と $\{111\}$ の間は35.26度、 $\{111\}$ と $\{001\}$ の間は54.74度である。また、白抜きの点線は $\{101\}$ からのずれ角5度及び10度の範囲を示している。

【0023】

図8（A）は、マッピングにおける全測定点（この例では11655点）を標準三角形内にプロットしたものである。 $\{101\}$ 付近で点の密度が濃くなっていることがわかる。図8（B）は、このような点の集中度を等高線表示したものである。ここで数値は各結晶粒が完全に無秩序な配向だと仮定した場合、すなわち標準三角形内に点を偏りなく分布させた場合に対する倍率を示しており無次元数である。

【0024】

このように特定の指数（ここでは $\{101\}$ ）に優先配向している事がわかった場合、その指数近傍にどの程度の結晶粒が集まっているか、その割合を数値化することで、優先配向の度合いをよりイメージしやすくなる。例えば図8（A）に例示した逆極点図において $\{101\}$ からのずれ角5度及び10度の範囲（図中に白点線で示す）に存在する点数の全体に対する割合を配向率として次式により求めて示すことができる。

【0025】

【数 1】

$$\{101\} \text{ 配向比率} = \frac{\{101\} \text{ 格子面と膜表面がなす角が} \\ \text{許容値以内の測定点の数}}{\text{測定点の全数}}$$

【0 0 2 6】

この割合は、次のように説明することもできる。図 8 (A) のように {1 0 1} 付近に分布が集中している場合、実際の膜においては図 1 0 のように、各粒の <1 0 1> 方位は基板に概略垂直であるが、その周りにやや揺らぎを持って並んでいることが予想される。この揺らぎの角に許容値を 5 度、1 0 度と設け、それより小さいものの割合を数値で示してゆくのである。たとえば図 9 では、ある結晶粒の <1 0 1> 方位は、許容 5 度の範囲には含まれないが、許容 1 0 度の範囲には含まれていることになる。後述のデータにおいては、以上に説明したように許容ずれ角を度及び 1 0 度と定め、それを満たす結晶粒の割合を表示してゆく。

【0 0 2 7】

【発明の実施の形態】

本発明は {1 0 1} 格子面の配向率が高い半導体膜で T F T を形成することに特徴を有している。基板上に形成され配向率の高い結晶質半導体膜はシリコンを主成分とし、ゲルマニウムを 0. 1 ~ 1 0 原子% 含有する半導体材料によりはじめて実現することができる。このような半導体膜を得る典型的な一実施形態は、シリコン原子及びゲルマニウム原子の水素化物またはフッ化物または塩化物によるガスを用い、プラズマ C V D 法または減圧 C V D 法により作製される非晶質半導体膜の表面に該非晶質半導体膜の結晶化を助長する金属元素を導入し、当該金属元素を利用して加熱処理により結晶質半導体膜を形成する。

【0 0 2 8】

本発明において、半導体膜を形成するための基板は、アルミナホウケイ酸ガラスやバリウムホウケイ酸ガラスなどの無アルカリガラス基板が適している。代表的にはコーニング社の # 7 0 5 9 ガラス基板や # 1 7 3 7 ガラス基板を用いる。その他に石英基板やサファイア基板を用いても良い。或いは、シリコン、ゲルマ

ニウム、ガリウム・砒素などの半導体基板の表面に絶縁膜を形成し、これを基板としても良い。

【0029】

また、基板として上記ガラス基板を用いる場合には、非晶質半導体膜とガラス基板との間に窒化シリコン、酸化シリコン、または酸化窒化シリコンなどでブロッキング層を形成する。こうして、ガラス基板中に含まれるアルカリ金属元素などの不純物元素が半導体膜中に拡散することを防ぐ。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2 を反応ガスとして用い、窒化シリコン膜を形成する。または、 SiH_4 、 N_2O 、 NH_3 を反応ガスとして用い、酸化窒化シリコン膜を形成する。ブロッキング層の厚さは20～200nmで形成する。

【0030】

非晶質半導体膜の形成は、プラズマCVD法または減圧CVD法、その他適宜の方法により行う。プラズマCVD法を適用する場合には、 SiH_4 と GeH_4 とから成る反応ガス、或いは、 SiH_4 と H_2 で希釈した GeH_4 成る反応ガスを加えて反応室に導入し、1～200MHzの高周波放電により分解し基板上に非晶質半導体膜を堆積させる。反応ガスは、 SiH_4 の代わりに Si_2H_6 または SiF_4 を、 GeH_4 の代わりに GeF_4 を採用しても良い。減圧CVD法を用いる場合にも同様な反応ガスを適用することが可能であり、好ましくはHeで反応ガスを希釈して、400～500℃の温度で基板上に非晶質半導体膜を堆積する。いずれにしても、本発明で用いる上記ガスは、堆積される非晶質半導体膜に取り込まれる酸素、窒素、炭素などの不純物元素の濃度を低減するために高純度に精製されたものを用いる。堆積される非晶質半導体膜の厚さは20～100nmの範囲とする。

【0031】

本発明に用いる非晶質半導体膜は、シリコンを主成分としゲルマニウムを0.1原子%～10原子%未満、好ましくは1～5原子%の範囲で含有している。ゲルマニウムの含有量は、代表的な反応ガスとして用いられる SiH_4 と GeH_4 の混合比により調節することができる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とし

、非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電氣的特性に悪影響が出ないようにする。

【 0 0 3 2 】

上記のように形成した非晶質半導体膜の表面に、該非晶質半導体膜の結晶化を助長する金属元素を導入する。金属元素としては、鉄 (F e) 、 ニッケル (N i) 、 コバルト (C o) 、 ルテニウム (R u) 、 ロジウム (R h) 、 パラジウム (P d) 、 オスニウム (O s) 、 イリジウム (I r) 、 白金 (P t) 、 銅 (C u) 、 金 (A u) から選ばれた一種または複数種の金属元素を用いる。これら金属元素は、本明細書に記載する何れの発明においても非晶質半導体膜の結晶化を助長する金属元素として使用することができる。上記いずれの金属元素を用いても同質、同様の効果を得ることができるが、代表的にはニッケルを用いる。

【 0 0 3 3 】

これら金属元素を導入する箇所は、非晶質半導体膜の全面、或いは非晶質半導体膜の膜面における適宜箇所のスリット状の面または点状の面などとする。前者の場合には、当該非晶質半導体膜の基板側に位置する面または基板側とは反対の面のいずれであっても良い。後者の場合には、好ましくは非晶質半導体膜上に絶縁膜が形成され、その絶縁膜に設けられた開孔を利用して金属元素を導入することができる。開孔の大きさに特に限定はないが、その幅は $10 \sim 40 \mu\text{m}$ とすることができる。また、その長手方向の長さは任意に決めれば良く、 $数十 \mu\text{m} \sim 数十 \text{cm}$ の範囲とすることができる。

【 0 0 3 4 】

これらの金属元素を導入する方法は、当該金属膜を非晶質半導体膜の表面又は内部に存在させる手法であれば特に限定はなく、例えば、スパッタ法、蒸着法、プラズマ処理法 (含むプラズマ C V D 法) 、 吸着法、金属塩の溶液を塗布する方法などを使用することができる。プラズマ処理法は、不活性ガスによるグロー放電雰囲気において、陰極からスパッタされる当該金属元素を利用する。また、金属塩の溶液を塗布する方法は簡易であり、金属元素の濃度調整が容易である点で有用である。

【 0 0 3 5 】

金属塩としては各種塩を用いることが可能であり、溶媒としては水、アルコール類、アルヒドト類、エーテル類その他の有機溶媒、または水とこれらの有機溶媒の混合物を用いることができる。また、それらの金属塩が完全に溶解した溶液とは限らず、金属塩の一部または全部が懸濁状態で存在する溶液であっても良い。いずれの方法を採用するにしても、当該金属元素は非晶質半導体膜の表面又は内部に分散させて導入する。

【 0 0 3 6 】

上記何れかの方法で金属元素を導入した後、当該金属元素を利用して非晶質半導体膜の結晶化を行う。結晶化は加熱処理、レーザー光または紫外線、赤外線などの強光の照射によって行う。加熱処理のみでも { 1 0 1 } に優先的に配向する結晶質シリコン膜を得ることができるが、好ましくは、加熱処理を行いその後レーザー光などの強光の照射を行う方法を適用する。加熱処理後のレーザー処理は、結晶粒内に残される結晶欠陥を修復し消滅させることができ、作製される結晶の品質を向上させる目的に対して有効な処置となる。

【 0 0 3 7 】

加熱処理は 4 5 0 ~ 1 0 0 0 ° C の範囲で行うことが可能であるが、温度の上限は使用する基板の耐熱温度が一つの上限として考慮される。ガラス基板の場合にはその歪み点以下が上限温度の一つの根拠となる。例えば、歪み点 6 6 7 ° C のガラス基板に対しては、6 6 0 ° C 程度が限度と見るべきである。必要とされる時間は加熱温度や、その後の処理条件（例えばレーザー光を照射する処理の有無など）により適宜設定するが、好適には 5 5 0 ~ 6 0 0 ° C にて 4 ~ 2 4 時間の加熱処理を行う。また、その後レーザー処理を行う場合には、5 0 0 ~ 5 5 0 ° C にて 4 ~ 8 時間の熱処理を行う。以上の加熱処理は空気中や水素雰囲気中でも良いが、好適には窒素或いは不活性ガス雰囲気中にて行う。

【 0 0 3 8 】

また、レーザー処理は、波長 4 0 0 n m 以下のエキシマレーザーや、Y A G または Y V O ₄ レーザーの第 2 高調波（波長 5 3 2 n m）～第 4 高調波（波長 2 6 6 n m）を光源として用いて行う。これらのレーザー光は光学系にて線状またはスポット状に集光し、そのエネルギー密度を 1 0 0 ~ 7 0 0 m J / c m ² として照

射し、上記のように集光したレーザービームを基板の所定の領域に渡って走査させ処理を行う。その他、レーザーの代わりに、ハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどを光源としても良い。

【0039】

以上のような工程により、本発明の如き{101}面の配向率が高い結晶質半導体膜が得られるメカニズムは、現段階で必ずしも明らかではないが、概略以下のように推測することができる。

【0040】

まず、結晶化は400～500℃の加熱処理により金属元素とシリコンが反応してシリサイドが形成され、これが結晶核となりその後の結晶成長に寄与する。例えば、代表的な金属元素としてニッケルを用いた場合、ニッケルシリサイド（以下、 NiSi_2 と記する）が形成される。 NiSi_2 の構造はホタル石型構造であり、ダイヤモンド型構造のシリコン格子間にニッケル原子を配置した構造となっている。 NiSi_2 からニッケル原子が無くなるとシリコンの結晶構造が残ることになる。数々の実験の結果から、ニッケル原子は非晶質シリコン側に移動していくことが判明しており、この理由は非晶質シリコン中の固溶度の方が結晶シリコン中のそれよりも高いためであると考えられる。従って、恰もニッケルが非晶質シリコン中を移動しながら結晶シリコンを形成するというモデルを立案することができる。

【0041】

NiSi_2 は特定の配向性を持たないが、非晶質半導体膜の厚さを20～100nmとすると基板表面に対し平行な方向しか殆ど成長することが許されなくなる。この場合、 NiSi_2 と結晶シリコンの(111)面とが接する界面エネルギーが最も小さいので、結晶質シリコン膜の表面と平行な面は(110)面となり、この格子面が優先的に配向する。結晶成長方向が基板表面に対し平行な方向に、しかも柱状に成長する場合には、その柱状結晶を軸とした回転方向には自由度が存在するため、必ずしも(110)面が配向するとは限らないため、その他の格子面も析出すると考えられる。

【0042】

本発明は、結晶質半導体膜の $\{101\}$ 格子面の配向を高めるために、柱状結晶の回転方向に制約を与え、自由度を低減させる手段として非晶質シリコンに 0.1～10 原子%のゲルマニウムを含有させる手段を見いだしたものである。勿論、前述のようにゲルマニウムの存在が必ずしも本質的な要因ではなく、シリコンのネットワークに入り、或いは影響を及ぼして、内部応力を緩和するものであれば、他の元素で代替することも可能である。

【0043】

ゲルマニウムを一例とすれば、非晶質シリコンに 0.1～10 原子%のゲルマニウムを含有させると結晶核の発生密度が低下することが観測されている。図 15 はその結果を示し、非晶質シリコン膜の成膜時に添加する GeH_4 の量が増加するに従い、即ち、非晶質シリコン膜に取り込まれるゲルマニウムの濃度が増加するに従い、結晶核密度が低下している傾向が示されている。結晶核である NiSi_2 が形成されるとき、原子間距離の違いによりゲルマニウムは排除されつつ上述の結晶成長が起こっていることが予想される。従って、ゲルマニウムは柱状結晶の外側に偏析するような形となり、その存在が柱状結晶を軸とした回転方向の自由度を低下させていると推定する。その結果、 $\{101\}$ 面の配向率の高い結晶質半導体膜を得ることが可能となる。

【0044】

本発明は、結晶質半導体膜の $\{101\}$ 格子面の配向を高めるために、柱状結晶の回転方向に制約を与え、自由度を低減させる手段として非晶質シリコンに 0.1～10 原子%のゲルマニウムを含有させる手段を見いだしたものである。

【0045】

まず、非晶質シリコンに 0.1～10 原子%のゲルマニウムを含有させると結晶核の発生密度が低下することが観測されている。図 5 はその結果を示し、非晶質シリコン膜の成膜時に添加する GeH_4 の量が増加するに従い、即ち、非晶質シリコン膜に取り込まれるゲルマニウムの濃度が増加するに従い、結晶核密度が低下している傾向が示されている。結晶核である NiSi_2 が形成されるとき、原子間距離の違いによりゲルマニウムは排除されつつ上述の結晶成長が起こっていることが予想される。従って、ゲルマニウムは柱状結晶の外側に偏析するよう

な形となり、その存在が柱状結晶を軸とした回転方向の自由度を低下させていると推定する。その結果、(1 1 0)面の配向率の高い結晶質半導体膜を得ることが可能となる。

【 0 0 4 6 】

次に上述の本発明に基づいて作製される結晶質半導体膜について、その作製条件とE B S Pで観測される結晶の配向性との関連について示す。表1はプラズマCVD法で作製する非晶質半導体膜の作製条件を示す。高周波電力は0.35 W/cm² (27 MHz)であるが、繰り返し周波数10 kHz (デューティ比30%)のパルス放電に変調して平行平板型のプラズマCVD装置の陰極に給電している。その他、共通条件として反応圧力33.25 Pa、基板温度300℃、電極間隔35 mmとしている。

【 0 0 4 7 】

【表1】

項目		SGN30	SGN10	SGN5	SN
SiH ₄ 流量	[sccm]	70	90	95	100
GeH ₄ (H ₂ ヘース10%)流量	[sccm]	30	10	5	0
RF power	[W/cm ²]	0.35	←	←	←
パルス周波数	[KHz]	10	←	←	←
Duty	[%]	30	←	←	←
圧力	[Pa]	33.25	←	←	←
基板温度(Tsub)	[℃]	300	←	←	←
電極間隔(GAP)	[mm]	35	←	←	←

【 0 0 4 8 】

そして、シリコンに対するゲルマニウムの含有量を変化させるために、合計流量が一定になるようにして、SiH₄とH₂で10%に希釈したGeH₄のガス流量の混合比を変化させている。表1に記載の条件において、成膜条件#SGN30、#SGN10、#SGN5ではH₂で10%に希釈したGeH₄の流量を30、10、5 SCCMと変化させている。SiH₄の純度は99.9999%以上のものを、またGeH₄は窒素、炭化水素化合物が1 ppm以下、CO₂が2 ppm以下の高純度品を用いた。また、#SNはGeH₄を添加しない条件である。堆積する非晶質半導体膜の厚さは全ての試料において50 nmとした。

【0049】

このような条件で作製される非晶質半導体膜に含まれる窒素、炭素、酸素のそれぞれの含有量は二次イオン質量分析法（SIMS）によって測定されている。図4はその結果を示す。測定に用いた試料は、シリコン基板上に#SGN5、#SGN10の順に積層したものであるが、いずれの成膜条件においても窒素、炭素の含有量は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の含有量は $1 \times 10^{19} / \text{cm}^3$ 未満である。

【0050】

こうして作製された非晶質半導体膜の結晶化は、金属元素としてニッケルを用い、窒素雰囲気中 550°C にて4時間の加熱処理及びレーザー処理で行った。ニッケルは酢酸ニッケルを含有する水溶液を用い、スピナーで塗布した。また、レーザー処理はXeClエキシマレーザー（波長 308nm ）を用い、照射エネルギー密度 $300 \sim 600 \text{mJ} / \text{cm}^2$ 、重ね合わせ率 $90 \sim 95\%$ で照射した。レーザー処理は加熱処理により結晶化した膜の未結晶化部分の結晶化や、結晶粒内に欠陥を補修するために行った。

【0051】

結晶質半導体膜に残存する欠陥は水素化処理により、 $0.01 \sim 1$ 原子%程度の水素を含有させることにより効果的に低減させることができる。水素化は水素を含む雰囲気中で $350 \sim 500^\circ\text{C}$ の加熱処理により行うことができる。また、プラズマにより生成された水素を用いて水素化を行うことも可能である。また、 SiF_4 、 GeF_4 などのフッ化物により堆積された膜は $0.001 \sim 1$ 原子%程度のフッ素が膜中に残存し、欠陥を補償する元素となる。

【0052】

図3はこうして結晶化した#SGN10と#SGN30のゲルマニウム濃度をSIMSにより評価した結果を示す。シリコンに対してゲルマニウムの含有量は、#SGN5で 1.5 原子%、#SGN10では 3.5 原子%、#SGN10では 11.0 原子%の濃度で含まれている。 SiH_4 に対する GeH_4 の流量比から換算すると、シリコンに対してゲルマニウムは $3 \sim 4$ 倍の割合で膜中に取り込まれている。これは、 SiH_4 に対し GeH_4 の方がグロー放電にて分解するエネルギーが

小さいためである。

【0053】

結晶方位の詳細はEBSPにより求めている。図1は表1で示す#SGN10の条件で作製した非晶質シリコン膜を用い、添加する酢酸ニッケルを含有する水溶液のニッケル濃度を1～30ppmの範囲で変化させて作製した結晶質シリコン膜の逆極点図を示している。結晶化は、580℃にて4時間の加熱処理を行ったものである。結晶の配向率は{101}に強く配向して、その他に{001}と{111}の中間にある{311}面に配向している傾向が見られる。{101}の配向率はニッケルの濃度依存性が見られ、低濃度になるに従い配向率が高くなっている。図2は{101}配向率のニッケル濃度依存性を示すグラフであり、GeH₄の添加量が5SCCMと10SCCMである場合を示している。配向率は#SGN10の場合にニッケル濃度と強い相関を示し、0.1ppmのニッケル水溶液濃度において61%の配向率が得られている。この結果を表2に示す。また、図36は#SNの条件で作製した結晶質シリコン膜の逆極点図であり、{101}の配向率は12%である。

【0054】

【表2】

	Ni水溶液濃度 (ppm)					
	0.1	0.3	1	3	10	30
{101}配向率 (%)	61	60	53	44	30	19

【0055】

表2は逆極点図を基にして、各種試料について{101}、{001}、{111}、{113}の配向率を、各格子面が膜表面となす角度が5度以内、及び10度以内の範囲にある割合を求めた結果を示している。表3において#HSは{113}と{111}の配向率が高く、それぞれ18%（10度以内）、12%（10度以内）となっている。また、#SNでは{101}と{311}の配向率が高くなっている。{311}は対称性の立場から等価な格子面の数が他と

比較して最も多く、ランダムに配向する多結晶体では発生する確率がその分高くなる。

【 0 0 5 6 】

【表 3】

試料	単位%							
	{101}		{001}		{111}		{113}	
	10°	5°	10°	5°	10°	5°	10°	5°
#SGN30	19	1	8	2	7	3	19	5
#SGN10	31	14	1	0	3	1	10	3
#SGN5	20	6	1	0	3	0	12	3
#SN	12	3	1	0	7	2	15	3
#HS	4	1	10	3	12	6	18	4

【 0 0 5 7 】

一方、ゲルマニウムを添加した#SGN30、#SGN10、#SGN5においても試料内の比較において傾向が見られ、膜中に含有するゲルマニウム濃度により結晶の配向が変化することを示している。#SGN10、#SGN5で特に注目される傾向は、他の格子面に対して{101}格子面の配向が強く、#SGN10ではずれ角10度以内が31%、5度以内でも14%となっている。また、#SGN5ではずれ角10度以内が20%、5度以内で6%となっている。このような{101}格子面に対する高い配向率はゲルマニウムを添加しない他の試料では達成されない新規な効果が得られている。

【 0 0 5 8 】

しかし、#SGN30において、膜中に含有するゲルマニウムの含有量が11原子%に増加すると{101}格子面の配向率は低下してしまうことが示されている。また、#SGN5において1.5原子%に低下しても配向率が20%低下している。従って、この結果が意味するところは、{101}の配向率を高めるためには非晶質シリコン膜中に含有させるゲルマニウムの濃度には適した範囲があり、その濃度範囲は0.1原子%から10原子%、好ましくは1～5原子%程度であることがわかる。

【 0 0 5 9 】

勿論、このような{101}格子面に対して高い配向性を示す結晶質半導体膜

は、添加するゲルマニウムの濃度を0.1～10原子%の範囲で添加するだけでなく、膜中に含まれる酸素、窒素、炭素の元素の濃度を $1 \times 10^{19} / \text{cm}^3$ 未満にすること、及び膜厚を20～100nmの範囲として、基板表面と平行な方向の成長が支配的となるようにすることの相乗効果により達成される。

【0060】

さらに、このような結晶質半導体膜の構造をX線回折から評価した。X線回折法では、回折角 2θ をスキャンしながら回折強度の測定を行う。このとき強度がピークとなった 2θ の測定からブラッグの式($2d \sin \theta = \lambda$ 、 λ はX線の波長)格子面間隔 d を求めることができる。ここで 2θ スキャンを遅くしてピーク位置を精密に求めると、格子に加わっている歪についての情報も得ることができる。

【0061】

測定は、表3の#SNで示される結晶質シリコン膜、及びゲルマニウムを含む結晶質シリコン膜について測定を行い、 d 値を比較した。両者とも石英基板を使用した。膜厚は54nm、酢酸ニッケルの添加量10ppmの水溶液、結晶化500℃にて1時間と580℃にて8時間の加熱処理で作製したものである。測定は膜に平行な格子面のほか、図34示すように試料にあおり角を持たせることにより、膜から60度の角を持った格子面についても行った。この様子を模式的に図35に示す。また、 2θ の大きい回折を用いたほうが測定精度は向上する。この2つの試料で配向の違いにより測定できる回折が異なっていたが、それぞれについて予備測定により 2θ の最も大きい回折を調べ、それらについて本測定を行った。本測定に用いた回折は、ゲルマニウムを含む結晶質シリコン膜(試料A)では(440)、結晶質シリコン膜(試料B)では(220)であった。

【0062】

あおり角を持たせた場合、 2θ の値には装置のX線光学系に特有の系統的なずれが生じる。このずれはわずかであるが、今回のような精密な測定ではその影響が無視できなくなるため、あらかじめ標準試料(無配向のタングステン粉末)を用いてあおり角0度、60度で 2θ 値の測定を行い、そのときのずれ量を用いて補正を行った。標準試料の測定結果を表4に示す。ここでは多結晶試料の本測定における指数と 2θ が近い回折を選んでいる。即ち、試料Aでは(440)回折(

2 θ =106度付近)を測定したので、タングステンの(310)回折(2 θ =100.628度)で補正を行った。一方、試料Bでは(220)回折(2 θ =47度付近)を測定したので、タングステンの(110)回折(2 θ =40.2444度)で補正を行った。

【0063】

【表4】

測定指数	Psi[°]	2 θ [°]	$\Delta 2\theta$ [°]
310	0	100.628	-0.008
	60	100.62	
110	0	40.2444	0.0254
	60	40.2698	

【0064】

試料Aと試料Bの測定結果を表5に示す。あおり角Psiで比較すると、どちらの試料も0度に比べ60度の場合のほうがd値は大きく、従って格子が膜に水平方向に伸びた歪を有していることがわかる。格子定数aに換算して試料間の比較を行うと、試料Aでは両者の差は0.00164nmであるのに対して、試料Bでは0.00272nmと、より大きい値になっている。従って非晶質半導体膜の形成時にゲルマニウムを含ませておくことにより、結晶化後の膜の歪を緩和させることができるということが出来る。

【0065】

【表5】

試料	測定指数	Psi[°]	2 θ [°]	2 θ [°] (補正後)	d[nm]	a[nm]	Δa [nm]
A	440	0	106.9092		0.096093	0.54359	0.00164
		60	106.4369	106.4449	0.096384	0.54523	
B	220	0	47.4447		0.191894	0.54276	0.00272
		60	47.2188	47.1934	0.192857	0.54548	

【0066】

このような{110}格子面の配向率の高い結晶質半導体膜はTFETのチャネル形成領域、光起電力素子の光電変換層など素子の特性を決定付けるチャネル形

成領域に好適に用いることができる。

【0067】

次に、このようなゲルマニウムを含む結晶質シリコン膜の作製方法を図面を用いて詳細に説明する。

【0068】

[実施形態1]

図11で説明する結晶質半導体膜の作製方法は、ゲルマニウムを含む非晶シリコン膜の全面にシリコンの結晶化を助長する金属元素を添加して結晶化を行う方法である。まず、図11(A)において、ガラス基板201はコーニング社の#1773ガラス基板に代表されるガラス基板を用いる。基板201の表面には、ブロッキング層202としてプラズマCVD法で SiH_4 と N_2O を用い酸化窒化シリコン膜を100nmの厚さに形成する。ブロッキング層202はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設ける。

【0069】

ゲルマニウムを含む非晶質シリコン膜203はプラズマCVD法により作製し、 SiH_4 と H_2 で10%に希釈された GeH_4 ガスを反応室に導入し、グロー放電分解して基板201上に堆積させる。その詳細な条件は表1に従うが、ここで採用される条件は#SGN5または#SGN10の条件、或いはその中間的な条件である。このゲルマニウムを含む非晶質シリコン膜203の厚さは50nmの厚さで形成する。ゲルマニウムを含む非晶質シリコン膜203の酸素、窒素、炭素などの不純物を極力低減するために、 SiH_4 は純度99.9999%以上のものを、 GeH_4 は純度99.99%以上のガスを用いる。また、プラズマCVD装置の仕様としては、反応室の容積13Lの反応室に対し、一段目に排気速度300L/秒の複合分子ポンプ、二段目に排気速度40m³/hrのドライポンプを設け、排気系側から有機物の蒸気が逆拡散してくるのを防ぐと共に、反応室の到達真空度を高め、非晶質半導体膜の形成時に不純物元素が膜中に取り込まれることを極力防いでいる。

【0070】

そして図 1 1 (B) で示すように、重量換算で 1 0 p p m のニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布してニッケル含有層 2 0 4 を形成する。この場合、当該溶液の馴染みをよくするために、ゲルマニウムを含む非晶質シリコン膜 2 0 3 の表面処理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。シリコンの表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

【 0 0 7 1 】

次に、5 0 0 °C にて 1 時間の加熱処理を行い、ゲルマニウムを含む非晶質シリコン膜中の水素を放出させる。そして、5 5 0 °C にて 4 時間に加熱処理を行い結晶化を行う。こうして、図 1 1 (C) に示す結晶質半導体膜 2 0 5 が形成される。

【 0 0 7 2 】

さらに結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するために、結晶質半導体膜 2 0 5 に対してレーザー光 2 0 6 を照射するレーザー処理を行う。レーザーは波長 3 0 8 n m にて 3 0 H z で発振するエキシマレーザー光を用いる。当該レーザー光は光学系にて 4 0 0 ~ 6 0 0 m J / c m² に集光し、9 0 ~ 9 5 % のオーバーラップ率をもってレーザー処理を行う。こうして図 1 1 (D) に示す結晶質半導体膜 2 0 7 を得ることができる。

【 0 0 7 3 】

[実施形態 2]

非晶質半導体膜の結晶化を助長する金属元素を選択的に形成する方法を図 1 2 を用いて説明する。図 1 2 (A) において、基板 2 2 0 は前述のガラス基板または石英基板を採用する。ガラス基板を用いる場合には、実施形態 1 と同様にブロッキング層を設ける。

【 0 0 7 4 】

ゲルマニウムを含む非晶質シリコン膜 2 2 1 は実施形態 1 と同様にプラズマ C

VD法で形成しても良いし、イオン注入法またはイオンドープ法によりゲルマニウムを導入しても良い。また、減圧CVD法で、 Si_2H_6 と GeH_4 を450～500℃の温度で分解して形成する方法も採用可能である。

【0075】

そして、ゲルマニウムを含む非晶質シリコン膜221上に150nmの厚さの酸化シリコン膜222を形成する。酸化シリコン膜の作製方法は限定されないが、例えば、オルトケイ酸テトラエチル (Tetraethyl Ortho Silicate: TEOS) と O_2 とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させ形成する。

【0076】

次に、酸化シリコン膜222に開孔部223を形成し、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布する。これにより、ニッケル含有層724が形成され、ニッケル含有層224は開孔部223の底部のみでゲルマニウムを含む非晶質シリコン膜221と接触する。

【0077】

結晶化は、加熱処理の温度500～650℃で4～24時間、例えば570℃にて14時間の熱処理を行う。この場合、結晶化はニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから基板の表面と平行な方向に結晶化が進行する。こうして形成された結晶質シリコン膜225は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。その後、酸化シリコン膜222を除去すれば結晶質シリコン膜225を得ることができる。

【0078】

[実施形態3]

実施形態1、2で説明する方法に従い作製される結晶質シリコン膜には結晶化において利用した金属元素が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 1×10^{19} /cm³を越える濃度で残存している。勿論、このような状態でもTFETをはじめ各種半導体装置のチャネル

形成領域に用いることが可能であるが、より好ましくは、ゲッタリングにより当該金属元素を除去することが望ましい。

【 0 0 7 9 】

本実施形態はゲッタリング方法の一例を図 1 3 を用いて説明する。図 1 3 (A) において、基板 2 3 0 は実施形態 1 のガラス基板、或いは石英基板が採用される。ガラス基板を用いる場合には、実施形態 1 と同様にブロッキング層を設ける。また、結晶質シリコン膜 2 3 1 は実施形態 1 または 2 のいずれの方法で作製されたものであっても同様である。結晶質シリコン膜 2 3 1 の表面には、マスク用の酸化シリコン膜 2 3 2 が 1 5 0 n m の厚さに形成され、開孔部 2 3 3 が設けられ結晶質シリコン膜が露出した領域が設けられている。実施形態 2 に従う場合には、図 1 2 (A) で示す酸化シリコン膜 2 2 2 をそのまま利用可能であり、図 1 2 (B) の工程の後からそのまま本実施例の工程に移行することもできる。そして、イオンドープ法によりリンを添加して、 $1 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^3$ の濃度のリン添加領域 2 3 5 を形成する。

【 0 0 8 0 】

そして、図 1 3 (B) に示すように、窒素雰囲気中で 5 5 0 ~ 8 0 0 °C、5 ~ 2 4 時間、例えば 6 0 0 °C にて 1 2 時間の熱処理を行うと、リン添加領域 2 3 5 がゲッタリングサイトとして働き、結晶質シリコン膜 2 3 1 に残存していた触媒元素はリン添加領域 2 3 5 に偏析させることができる。

【 0 0 8 1 】

その後、図 1 3 (C) で示すようにマスク用の酸化シリコン膜 2 3 2 と、リンが添加領域 2 3 5 とをエッチングして除去することにより、結晶化の工程で使用した金属元素の濃度が $1 \times 10^{17} / \text{cm}^3$ 未満にまで低減された結晶質シリコン膜 2 3 6 を得ることができる。

【 0 0 8 2 】

【実施例】

次に、このようなゲルマニウムを含む結晶質シリコン膜を利用して、T F T を作製する例を示すが、本発明がこれら実施例に限定されないことは勿論である。

【 0 0 8 3 】

[実施例 1]

本実施例は、 n チャネル型 T F T を作製する例であり、図 1 5 を用いて説明する。図 1 5 (A) において、基板 3 0 1 上にゲルマニウムを含有する結晶質シリコン膜を形成する。ゲルマニウムを含有する結晶質シリコン膜 3 2 0 は実施形態 1 ~ 3 で示す方法により作製されるいずれのものを適用しても良い。T F T を作製するに当たっては、素子分離のため所定の大きさにエッチングし、島状に分割する。基板 3 0 1 がガラス基板である場合には、ブロッキング層 3 0 2 を設ける。絶縁膜 3 0 4 は T F T においてゲート絶縁膜として利用されるものであり 3 0 ~ 2 0 0 n m の厚さで形成する。

【0084】

ブロッキング層 2 0 2 としてプラズマ C V D 法で SiH_4 と N_2O を用い酸化窒化シリコン膜を 5 0 ~ 2 0 0 n m の厚さに形成する。その他の形態として、プラズマ C V D 法で SiH_4 と NH_3 と N_2O から作製される酸化窒化シリコン膜を 5 0 n m、 SiH_4 と N_2O から作製される酸化窒化シリコン膜を 1 0 0 n m 積層させた 2 層構造や、或いは、窒化シリコン膜と T E O S (Tetraethyl Ortho Silicate) を用いて作製される酸化シリコン膜を積層させた 2 層構造としても良い。

【0085】

そして、光露光プロセスによりレジストによるマスク 3 2 1 を形成し、半導体膜 3 2 0 にイオン注入またはイオンドーピング法により n 型の不純物 (ドナー) をドーピングする。作製される第 3 不純物領域 3 2 2 において、ドーピングされる濃度は $1 \times 10^{17} \sim 2 \times 10^{19} / \text{cm}^3$ の範囲となるようにする。

【0086】

絶縁膜 3 0 4 上には、タンタル、タングステン、チタン、アルミニウム、モリブデンから選ばれた一種または複数種の元素を成分とする導電性材料でゲート電極 3 2 3 を形成する。ゲート電極 3 2 3 の一部は第 3 不純物領域 3 2 2 とゲート絶縁膜を介して一部が重なるように形成する。

【0087】

その後、図 1 5 (C) に示すように、ゲート電極 3 2 3 をマスクとして n 型の不純物 (ドナー) をドーピングし、自己整合的に第 4 不純物領域 3 2 4 を形成す

る。第4不純物領域324の不純物濃度は、 $1 \times 10^{17} \sim 2 \times 10^{19} / \text{cm}^3$ の範囲となるようにする。

【0088】

その後、プラズマCVD法により作製される窒化シリコン膜、窒化酸化シリコン膜により層間絶縁膜325を形成する。また、添加された不純物元素は活性化のために350～500℃の加熱処理が必要とされるが、この加熱処理は層間絶縁膜325を形成した後に行い、窒化シリコン膜、窒化酸化シリコン膜中に含まれる水素を放出させ、ゲルマニウムを含有する結晶質シリコン膜320に拡散させることにより、当該結晶質シリコン膜中の欠陥を水素で補償することができる。さらに、ソース及びドレイン電極326を形成しTFTを得ることができる。

【0089】

結晶質シリコン膜320にはチャンネル形成領域327、第3不純物領域で形成されるLDD領域322、第4不純物領域で形成されるソースまたはドレイン領域324が形成されている。本発明で得られる{101}の配向性の高いゲルマニウムを含有する結晶質シリコン膜で形成されるチャンネル形成領域327は、ゲート絶縁膜との界面特性が良好であり、結晶粒界及び結晶粒内の欠陥密度が低減し、高い電界効果移動度を得ることができる。また、LDD領域322はゲート電極323とオーバーラップして形成され、ドレイン端における電界の集中を緩和して、ホットキャリアによる劣化を防いでいる。勿論シングルドレインや、LDD構造でnチャンネル型TFTを作製することもできる。本発明で作製されるTFTは、アクティブマトリクス型の液晶表示装置やEL表示装置を作製するためのTFTとて、また従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

【0090】

また、上記本実施例においてチャンネル形成領域へ微量な不純物元素の添加を行い、TFTのしきい値電圧を制御を行う工程を加えてもよい。

【0091】

本実施例で示すnチャンネル型TFTを用いてNAND回路、NOR回路のような基本論理回路を構成したり、さらに複雑なロジック回路（信号分割回路、オペ

アンプ、 γ 補正回路など)をも構成することができる。

【0092】

[実施例2]

本実施例は、pチャネル型TFTを作製する例であり、図14を用いて説明する。図14(A)において、基板301上にゲルマニウムを含有する結晶質シリコン膜を形成する。ゲルマニウムを含有する結晶質シリコン膜303は実施形態1～3で示す方法により作製されるいずれのものも適用可能である。TFTを作製するに当たっては、素子分離のため所定の大きさにエッチングし、島状に分割しておく。基板301がガラス基板である場合には、ブロッキング層302を設ける。

【0093】

半導体膜303上に形成する絶縁膜304はゲート絶縁膜として利用されるものであり30～200nmの厚さで形成する。この絶縁膜304はプラズマCVD法により SiH_4 と N_2O とから作製される酸化窒化シリコン膜、或いはTEOSと N_2O とから作製される酸化窒化シリコン膜などで形成する。本実施例では前者を選択し、70nmの厚さに形成する。

【0094】

絶縁膜304上には、タンタル(Ta)、タングステン(W)、チタン(Ti)、アルミニウム(Al)、モリブデン(Mo)から選ばれた一種または複数種の元素を成分とする導電性膜を形成する。そして、光露光プロセスによりレジストのマスク305を形成し、ドライエッチングにより第1形状の導電膜306を形成する。第1の形状の導電膜は、端部がテーパ状に形成する。エッチング条件は適宜決定すれば良いが、例えば、Wの場合には CF_4 と Cl_2 の混合ガスを用い、基板を負にバイアスすることにより良好にエッチングすることができる。そして、ソース及びドレイン領域を形成する第1不純物領域307を形成する。この不純物領域307はイオンドープ法により形成し、ボロンに代表される周期律表第13族の元素をドーピングする。第1不純物領域307の不純物濃度は、 $1 \times 10^{20} \sim 2 \times 10^{21} / \text{cm}^3$ の範囲となるようにする。

【0095】

次に、図 1 4 (B) に示すように第 1 形状の導電膜 3 0 6 の端部が後退するようにエッチングして第 2 形状の導電膜 3 0 8 を形成する。本実施例の構造ではこれをゲート電極とする。ゲート電極の形成には 2 回のエッチング工程を用いるが、そのエッチング条件は適宜決定されるものである。例えば、W の場合には CF_4 と Cl_2 の混合ガスを用い、基板を負にバイアスすることにより良好に端部がテーパー形状に加工することができる。また、 CF_4 と Cl_2 に酸素を混合させることにより、下地と選択性良く、W を異方性エッチングエッチングをすることができる。

【 0 0 9 6 】

その後、図 1 4 (C) に示すように、第 2 形状の導電膜 3 0 8 をマスクとして p 型の不純物（アクセプタ）をドーピングし、自己整合的に第 2 不純物領域 3 0 9 を形成する。第 2 不純物領域 3 0 9 の不純物濃度は、 $1 \times 10^{17} \sim 2 \times 10^{19} / \text{cm}^3$ の範囲となるようにする。

【 0 0 9 7 】

その後、プラズマ CVD 法により作製される窒化シリコン膜、窒化酸化シリコン膜により層間絶縁膜 3 1 0 を形成する。また、添加された不純物元素は活性化のために $350 \sim 500^\circ\text{C}$ の加熱処理が必要とされるが、この加熱処理は層間絶縁膜 3 1 0 を形成した後に行い、窒化シリコン膜、窒化酸化シリコン膜中に含まれる水素を放出させ、ゲルマニウムを含有する結晶質シリコン膜 3 0 3 に拡散させることにより、当該結晶質シリコン膜中の欠陥を水素で補償することができる。さらに、ソース及びドレイン電極 3 1 1 を形成し TFT を得ることができる。

【 0 0 9 8 】

結晶質シリコン膜 3 0 3 にはチャネル形成領域 3 1 2、第 2 不純物領域で形成される LDD (Lightly Doped Drain) 領域 3 0 9、第 1 不純物領域で形成されるソースまたはドレイン領域 3 0 4 が形成されている。本発明で得られる { 1 0 1 } の配向性の高いゲルマニウムを含有する結晶質シリコン膜で形成されるチャネル形成領域 3 1 2 は、ゲート絶縁膜との界面特性が良好であり、結晶粒界及び結晶粒内の欠陥密度が低減し、高い電界効果移動度を得ることができる。ここでは、p チャネル型 TFT を LDD 構造で示したが、勿論シングルドレインや、或

いはLDDがゲート電極とオーバーラップした構造で作製することもできる。本発明で作製されるTFTは、アクティブマトリクス型の液晶表示装置やEL表示装置を作製するためのTFTとて、また従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

【0099】

また、上記本実施例においてチャネル形成領域へ微量な不純物元素の添加を行い、TFTのしきい値電圧を制御を行う工程を加えてもよい。

【0100】

本実施例で示すPチャネル型TFTを用いて基本論理回路を構成したり、さらに複雑なロジック回路（信号分割回路、D/Aコンバータ、オペアンプ、 γ 補正回路など）をも構成することができ、さらにはメモリやマイクロプロセッサをも形成しうる。例えば、液晶表示装置の駆動回路を全てPチャネル型TFTで構成することも可能である。

【0101】

[実施例3]

本実施例は、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせたCMOS型のTFTを作製する一例について図16を用いて説明する。図16(A)において、基板301上にゲルマニウムを含有する結晶質シリコン膜を形成する。ゲルマニウムを含有する結晶質シリコン膜は実施形態1～3で示す方法により作製されるいずれのものも適用可能である。TFTを作製するに当たっては、素子分離のため所定の大きさにエッチングし、島状に分割して半導体層331、332を形成する。基板301がガラス基板である場合には、ブロッキング層302を設ける。

【0102】

ブロッキング層602としてプラズマCVD法で SiH_4 と N_2O を用い酸化窒化シリコン膜を50～200nmの厚さに形成する。その他の形態として、プラズマCVD法で SiH_4 と NH_3 と N_2O から作製される酸化窒化シリコン膜を50nm、 SiH_4 と N_2O から作製される酸化窒化シリコン膜を100nm積層させた2層構造や、或いは、窒化シリコン膜とTEOS (Tetraethyl Ortho Silic

ate) を用いて作製される酸化シリコン膜を積層させた 2 層構造としても良い。

【0103】

ブロッキング層 3 0 2 及びその上に形成する非晶質半導体膜はいずれもプラズマ CVD 法で形成することが可能であり、これらの層を連続して、シングルチャンバー方式の CVD 装置において同一反応室中で、或いは、マルチチャンバー方式の CVD 装置において各反応室間を移動させながら連続して形成することができる。いずれにしても、大気解放せずに成膜することでブロッキング層と非晶質半導体膜の界面を清浄にしておくことができる。

【0104】

絶縁膜 3 3 3 はゲート絶縁膜として利用するものであり、プラズマ CVD 法またはスパッタ法を用い、膜厚を 4 0 ~ 1 5 0 nm の厚さで形成する。本実施例では、7 0 nm の厚さで酸化窒化シリコン膜を用いて形成する。特に、 SiH_4 と N_2O に O_2 を添加させて作製する酸化窒化シリコン膜は膜中の固定電荷密度を低減させることが可能となり、ゲート絶縁膜として好ましい材料である。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜や酸化タンタル膜などの絶縁膜を単層または積層構造として用いても良い。

【0105】

そして、絶縁膜 3 3 3 上にゲート電極を形成するための第 1 導電膜 3 3 4 と第 2 導電膜 3 3 5 とを形成する。本実施例では、第 1 導電膜 3 3 4 を窒化タンタルまたはチタンで 5 0 ~ 1 0 0 nm の厚さに形成し、第 2 導電膜 3 3 5 をタンゲステンで 1 0 0 ~ 3 0 0 nm の厚さに形成する。これらの材料は、窒素雰囲気中における 4 0 0 ~ 6 0 0 °C の熱処理でも安定であり、抵抗率が著しく増大することはない。

【0106】

次に図 1 6 (B) に示すように、レジストによるマスク 3 3 6 を形成し、ゲート電極を形成するための第 1 のエッチング処理を行う。エッチング方法に限定はないが、好適には ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いる。エッチング用ガスに CF_4 と Cl_2 を混合し、0.5 ~ 2

Pa、好ましくは1 Paの圧力でコイル型の電極に500 WのRF (13.56 MHz) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも100 WのRF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはタングステン膜、窒化タンタル膜及びチタン膜の場合でも、それぞれ同程度の速度でエッチングすることができる。

【0107】

上記エッチング条件では、レジストによるマスクの形状と、基板側に印加するバイアス電圧の効果により端部をテーパ形状とすることができる。テーパ部の角度は $15 \sim 45^\circ$ となるようにする。また、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4 (代表的には3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50 nm程度エッチングされる。こうして、第1のエッチング処理により第1導電膜と第2導電膜から成る第1形状の導電層337、338 (第1の導電層337a、338aと第2導電層337b、338b) を形成する。339はゲート絶縁膜であり、第1の形状の導電層で覆われない領域は20～50 nm程度エッチングされ薄くなる。

【0108】

そして、第1のドーピング処理を行いn型の不純物 (ドナー) をドーピングする。その方法はイオンドープ法若しくはイオン注入法で行う。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} / \text{cm}^2$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン (P) または砒素 (As) を用いる。この場合、第1形状の導電層337、338はドーピングする元素に対してマスクとなり、加速電圧を適宜調節 (例えば、20～60 keV) して、ゲート絶縁膜339を通過した不純物元素により第5不純物領域340、341を形成する。例えば、第1の不純物領域725～729におけるリン (P) 濃度は $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の範囲となるようにする。

【0109】

さらに図 1 6 (C) に示すように第 2 のエッチング処理を行う。エッチングは ICP エッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1 Pa の圧力でコイル型の電極に 500 W の RF 電力 (13.56 MHz) を供給してプラズマを生成する。基板側 (試料ステージ) には 50 W の RF (13.56 MHz) 電力を投入し、第 1 のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりタンゲステン膜を異方性エッチングし、第 1 の導電層である窒化タンタル膜またはチタン膜を残存させるようにする。こうして、第 2 形状の導電層 3 4 2、3 4 3 (第 1 の導電膜 3 4 2 a、3 4 3 a と第 2 の導電膜 3 4 2 b、3 4 3 b) を形成する。3 4 6 はゲート絶縁膜であり、第 2 の形状の導電層 3 4 2、3 4 3 で覆われない領域はさらに 20~50 nm 程度エッチングされて膜厚が薄くなる。

【0 1 1 0】

そして、図 1 6 (D) に示すように第 2 のドーピング処理を行う。第 1 のドーピング処理よりもドーズ量を下げ高加速電圧の条件で n 型の不純物 (ドナー) をドーピングする。例えば、加速電圧を 70~120 keV とし、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量で行い、図 1 6 (C) で島状半導体膜に形成された第 1 の不純物領域の内側に不純物領域を形成する。ドーピングは、第 2 の導電膜 3 4 2 b、3 4 3 b を不純物元素に対するマスクとして用い、第 1 の導電膜 3 4 2 a、3 4 2 a の下側の領域に不純物元素が添加されるようにドーピングする。こうして、第 1 の導電膜 3 4 2 a、3 4 3 a と重なる第 6 不純物領域 3 4 4、3 4 5 が形成される。この不純物領域は、第 2 の導電層 3 4 2 a、3 4 3 a がほぼ同じ膜厚で残存していることから、第 2 の導電層に沿った方向における濃度差は小さく、 $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で形成する。

【0 1 1 1】

そして、図 1 6 (E) に示すように、第 3 のエッチング処理を行い、ゲート絶縁膜 3 4 6 のエッチング処理を行う。その結果、第 2 の導電膜もエッチングされ、端部が後退して小さくなり、第 3 形状の導電層 3 4 7、3 4 8 が形成される。図中で 3 4 9 は残存するゲート絶縁膜である。

【0 1 1 2】

そして図16 (F) に示すように、レジストによるマスク350を形成し、pチャネル型TFTを形成する島状半導体層331にp型の不純物（アクセプタ）をドーピングする。典型的にはボロン（B）を用いる。第7の不純物領域351、352の不純物濃度は $2 \times 10^{20} \sim 2 \times 10^{21} / \text{cm}^3$ となるようにし、含有するリン濃度の1.5～3倍のボロンを添加して導電型を反転させる。

【0113】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。第3形状の導電層347、348はゲート電極となる。その後、図16 (E) に示すように、窒化シリコン膜または酸化窒化シリコン膜から成る保護絶縁膜353をプラズマCVD法で形成する。そして導電型の制御を目的としてそれぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。活性化はファーンেসアニール炉を用いる熱アニール法で行うことが好ましい。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することもできる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には400～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。

【0114】

さらに、窒化シリコン膜354を形成し、350～500℃の加熱処理を行う。その結果、窒化シリコン膜354中の水素が放出させ、島状半導体膜中に拡散させることで水素化を達成することができる。

【0115】

層間絶縁膜355は、ポリイミド、アクリルなどの有機絶縁物材料で形成し表面を平坦化する。勿論、プラズマCVD法でTEOS（Tetraethyl Ortho silicate）を用いて形成される酸化シリコン膜を適用しても良いが、平坦性を高める観点からは前記有機物材料を用いることが望ましい。

【0116】

次いで、コンタクトホールを形成し、アルミニウム（Al）、チタン（Ti）、タンタル（Ta）などを用いて、ソースまたはドレイン配線356～359を形成する。

【 0 1 1 7 】

pチャネル型TFT365にはチャネル形成領域360、ソース領域またはドレイン領域として機能する第7の不純物領域349、350を有している。nチャネル型TFT366はチャネル形成領域361、第3形状の導電層348から成るゲート電極と重なる第6不純物領域362a (Gate Overlapped Drain: G O L D領域)、ゲート電極の外側に形成される第6不純物領域362b (L D D領域)とソース領域またはドレイン領域として機能する第5不純物領域363を有している。

【 0 1 1 8 】

以上の工程で、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせたCMOS型のTFTを得ることができる。nチャネル型TFTはチャネル形成領域とドレイン領域との間にLDD領域が形成され、ドレイン端における電界の集中を防いでいる。このようなCMOS型のTFTは、アクティブマトリクス型の液晶表示装置やEL表示装置の駆動回路を形成することを可能とする。それ以外にも、このようなnチャネル型TFTまたはpチャネル型TFTは、画素部を形成するトランジスタに応用することができる。さらに、従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

【 0 1 1 9 】

このようなCMOS回路を組み合わせることで基本論理回路を構成したり、さらに複雑なロジック回路(信号分割回路、D/Aコンバータ、オペアンプ、 γ 補正回路など)をも構成することができ、さらにはメモリやマイクロプロセッサをも形成することが可能である。

【 0 1 2 0 】

[実施例4]

本実施例は、画素部と駆動回路が同一基板上に形成されたモノシリック型の液晶表示装置の構成例を図17、18を用いて説明する。画素部におけるスイッチング用のTFTと駆動回路のnチャネル型及びpチャネル型のTFTは、いずれも本発明のゲルマニウムを含む結晶質シリコン膜を用いて活性領域を形成してい

る。ゲルマニウムを含有する結晶質シリコン膜は実施形態 1 ～ 3 で示す方法により作製されるいずれのものを適用しても良い。

【 0 1 2 1 】

図 1 7 において、基板 4 0 1 は、好適にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板などを用いる。その他に石英基板を用いても良い。ガラス基板を用いる場合にはブロッキング層 4 0 2 が形成される。

【 0 1 2 2 】

画素部 4 4 5 におけるスイッチング用の画素 T F T 4 4 2 と駆動回路 4 4 4 の n チャネル型 T F T 4 4 1 及び p チャネル型 T F T 4 4 0 の構造に限定はないが、本実施例では実施例 3 により作製される T F T を用いて説明する。勿論、実施例 1 または実施例 2 の T F T を採用することも可能である。

【 0 1 2 3 】

駆動回路 4 4 4 には配線 4 0 8、4 1 7 及びソースまたはドレイン配線 4 1 8 ～ 4 2 1 が形成されている。また、画素部 4 4 5 においては、画素電極 4 2 4、ゲート配線 4 2 3、接続電極 4 2 2、ソース配線 4 0 9 が形成されている。

【 0 1 2 4 】

駆動回路 4 4 4 の p チャネル型 T F T 4 5 3 には、半導体層 4 0 3 にチャネル形成領域 4 2 6、ソース領域またはドレイン領域として機能する第 7 不純物領域 4 2 7 を有している。

【 0 1 2 5 】

n チャネル型 T F T 4 4 1 には、半導体層 4 0 4 にチャネル形成領域 4 2 8、第 3 形状の導電層 4 1 1 から成るゲート電極と重なる第 6 不純物領域 4 2 9 a (Gate Overlapped Drain: G O L D 領域)、ゲート電極の外側に形成される第 6 不純物領域 4 2 9 b (L D D 領域) とソース領域またはドレイン領域として機能する第 5 不純物領域 4 3 0 を有している。

【 0 1 2 6 】

画素 T F T 4 4 2 には、半導体層 4 0 5 にチャネル形成領域 4 3 1、ゲート電極を形成する第 3 形状の導電層 4 1 2 と重なる第 6 不純物領域 4 3 2 a (G O L D 領域)、ゲート電極の外側に形成される第 6 不純物領域 4 3 2 b (L D D 領域)

）とソース領域またはドレイン領域として機能する第5不純物領域433、434、435を有している。また、保持容量443の一方の電極として機能する半導体層406は第6不純物領域437、第5不純物領域438と不純物が添加されない領域436が形成されている。

【0127】

画素部445においては、接続電極422によりソース配線409は、画素TFT442のソースまたはドレイン領域433と電気的な接続が形成される。また、ゲート配線423は、ゲート電極として機能する第3形状の導電層412と電気的な接続が形成される。また、画素電極424は、画素TFT442のソースまたはドレイン領域435及び保持容量443の一方の電極である半導体層406の不純物領域438と接続している。

【0128】

図17における画素部445の断面図は、図18で示すA-A'線に対応したものである。ゲート電極として機能する第3形状の導電層412は隣接する画素の保持容量の一方の電極を兼ね、画素電極452と接続する半導体層453と重なる部分で容量を形成している。また、ソース配線407と画素電極424及び隣接する画素電極451との配置関係は、画素電極424、451の端部をソース配線407上に設け、重なり部を形成することにより、迷光を遮り遮光性を高めている。

【0129】

[実施例5]

実施例1に示すnチャネル型TFTは、チャネル形成領域となる半導体に周期表の15族に属する元素（好ましくはリン）もしくは周期表の13族に属する元素（好ましくはボロン）を添加することによりエンハンスメント型とデプレッション型とを作り分けることができる。

【0130】

また、nチャネル型TFTを組み合わせることでNMOS回路を形成する場合、エンハンスメント型TFT同士で形成する場合（以下、EEMOS回路という）と、エンハンスメント型とデプレッション型とを組み合わせる場合（以下、

EDMOS回路という)がある。

【0131】

ここでEEMOS回路の例を図19(A)に、EDMOS回路の例を図19(B)に示す。図19(A)において、31、32はどちらもエンハンスメント型のnチャンネル型TFT(以下、E型NTFTという)である。また、図19(B)において、33はE型NTFT、34はデプレッション型のnチャンネル型TFT(以下、D型NTFTという)である。

【0132】

なお、図19(A)、(B)において、VDHは正の電圧が印加される電源線(正電源線)であり、VDLは負の電圧が印加される電源線(負電源線)である。負電源線は接地電位の電源線(接地電源線)としても良い。

【0133】

さらに、図19(A)に示したEEMOS回路もしくは図19(B)に示したEDMOS回路を用いてシフトレジスタを作製した例を図20に示す。図20において、40、41はフリップフロップ回路である。また、42、43はE型NTFTであり、E型NTFT42のゲートにはクロック信号(CL)が入力され、E型NTFT43のゲートには極性の反転したクロック信号(CLバー)が入力される。また、44で示される記号はインバータ回路であり、図20(B)に示すように、図19(A)に示したEEMOS回路もしくは図19(B)に示したEDMOS回路が用いられる。従って、液晶表示装置の駆動回路を全てnチャンネル型TFTで構成することも可能である。

【0134】

[実施例6]

ここでは、上記実施例1～5で得られるTFTを用いてEL(エレクトロルミネセンス)表示装置を作製した例について図21、図22を用い、以下に説明する。

【0135】

同一の絶縁体上に画素部とそれを駆動する駆動回路を有した発光装置の例(但し封止前の状態)を図21に示す。なお、駆動回路には基本単位となるCMOS

回路を示し、画素部には一つの画素を示す。このCMOS回路は実施例3に従えば得ることができる。

【0136】

図21において、600は絶縁体であり、その上にはnチャネル型TFT601、pチャネル型TFT602、pチャネル型TFTからなるスイッチングTFT603およびnチャネル型TFTからなる電流制御TFT604が形成されている。また、本実施例では、TFTはすべて逆スタガ型TFTで形成されている。

【0137】

nチャネル型TFT601およびpチャネル型TFT602の説明は実施例3を参照すれば良いので省略する。また、スイッチングTFT603はソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート構造）となっているが、実施例2でのpチャネル型TFTの構造の説明を参照すれば容易に理解できるので説明は省略する。なお、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0138】

また、電流制御TFT604のドレイン領域605の上には第2層間絶縁膜607が設けられる前に、第1層間絶縁膜606にコンタクトホールが設けられている。これは第2層間絶縁膜607にコンタクトホールを形成する際に、エッチング工程を簡単にするためである。第2層間絶縁膜607にはドレイン領域605に到達するようにコンタクトホールが形成され、ドレイン領域605に接続された画素電極608が設けられている。画素電極608はEL素子の陰極として機能する電極であり、周期表の1族もしくは2族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

【0139】

次に、613は画素電極608の端部を覆うように設けられた絶縁膜であり、本明細書中ではバンクと呼ぶ。バンク613は珪素を含む絶縁膜もしくは樹脂膜

で形成すれば良い。樹脂膜を用いる場合、樹脂膜の比抵抗が $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子もしくは金属粒子を添加すると、成膜時の絶縁破壊を抑えることができる。

【0140】

また、EL素子609は画素電極（陰極）608、EL層611および陽極612からなる。陽極612は、仕事関数の大きい導電膜、代表的には酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いれば良い。

【0141】

なお、本明細書中では発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体をEL層と定義する。

【0142】

なお、ここでは図示しないが陽極612を形成した後、EL素子609を完全に覆うようにしてパッシベーション膜を設けることは有効である。パッシベーション膜としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0143】

次いで、EL素子を保護するための封止（または封入）工程まで行った後のEL表示装置について図22（A）、（B）を用いて説明する。

【0144】

図22（A）は、EL素子の封止までを行った状態を示す上面図、図22（B）は図22（A）をA-A'で切断した断面図である。点線で示された701は画素部、702はソース側駆動回路、703はゲート側駆動回路である。また、704はカバー材、705は第1シール材、706は第2シール材である。

【0145】

なお、708はソース側駆動回路702及びゲート側駆動回路703に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）708からビデオ信号やクロック信号を受け取る。なお

、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。

【0146】

次に、断面構造について図22（B）を用いて説明する。絶縁体700の上方には画素部、ソース側駆動回路709が形成されており、画素部は電流制御TFT710とそのドレインに電氣的に接続された画素電極711を含む複数の画素により形成される。また、ソース側駆動回路709はnチャネル型TFTとpチャネル型TFTとを組み合わせたCMOS回路を用いて形成される。なお、絶縁体700には偏光板（代表的には円偏光板）を貼り付けても良い。

【0147】

また、画素電極711の両端にはバンク712が形成され、画素電極711上にはEL層713およびEL素子の陽極714が形成される。陽極714は全面素に共通の配線としても機能し、接続配線715を経由してFPC716に電氣的に接続されている。さらに、画素部及びソース側駆動回路709に含まれる素子は全てパッシベーション膜（図示しない）で覆われている。

【0148】

また、第1シール材705によりカバー材704が貼り合わされている。なお、カバー材704とEL素子との間隔を確保するためにスペーサを設けても良い。そして、第1シール材705の内側には空隙717が形成されている。なお、第1シール材705は水分や酸素を透過しない材料であることが望ましい。さらに、空隙717の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を設けることは有効である。

【0149】

なお、カバー材704の表面および裏面には保護膜として炭素膜（具体的にはダイヤモンドライクカーボン膜）を2～30nmの厚さに設けると良い。このような炭素膜（ここでは図示しない）は、酸素および水の侵入を防ぐとともにカバー材704の表面を機械的に保護する役割をもつ。

【0150】

また、カバー材704を接着した後、第1シール材705の露呈面を覆うよう

に第2シール材706を設けている。第2シール材706は第1シール材705と同じ材料を用いることができる。

【0151】

以上のような構造でEL素子を封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL表示装置が得られる。

【0152】

[実施例7]

本実施例では、実施例4で得られるEL表示装置において、画素部のさらに詳細な上面構造を図23(A)に、回路図を図23(B)に示す。図23(A)及び図23(B)では共通の符号を用いるので互いに参照すれば良い。

【0153】

スイッチング用TFT802のソースはソース配線815に接続され、ドレインはドレイン配線805に接続される。また、ドレイン配線805は電流制御用TFT806のゲート電極807に電氣的に接続される。また、電流制御用TFT806のソースは電流供給線816に電氣的に接続され、ドレインはドレイン配線817に電氣的に接続される。また、ドレイン配線817は点線で示される画素電極(陰極)818に電氣的に接続される。

【0154】

このとき、819で示される領域には保持容量が形成される。保持容量819は、電流供給線816と電氣的に接続された半導体膜820、ゲート絶縁膜と同一層の絶縁膜(図示せず)及びゲート電極807との間で形成される。また、ゲート電極807、第1層間絶縁膜と同一の層(図示せず)及び電流供給線816で形成される容量も保持容量として用いることが可能である。

【0155】

[実施例8]

本実施例では実施例4または実施例5に示したEL表示装置の回路構成例を図24に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本

実施例では、ソース側駆動回路 9 0 1、画素部 9 0 6 及びゲート側駆動回路 9 0 7 を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【 0 1 5 6 】

ソース側駆動回路 9 0 1 は、シフトレジスタ 9 0 2、ラッチ (A) 9 0 3、ラッチ (B) 9 0 4、バッファ 9 0 5 を設けている。なお、アナログ駆動の場合はラッチ (A)、(B) の代わりにサンプリング回路 (トランスファゲート) を設ければ良い。また、ゲート側駆動回路 9 0 7 は、シフトレジスタ 9 0 8、バッファ 9 0 9 を設けている。

【 0 1 5 7 】

また、本実施例において、画素部 9 0 6 は複数の画素を含み、その複数の画素に E L 素子が設けられている。このとき、E L 素子の陰極は電流制御 T F T のドレインに電氣的に接続されていることが好ましい。

【 0 1 5 8 】

これらソース側駆動回路 9 0 1 およびゲート側駆動回路 9 0 7 は実施例 1 ～ 3 で得られる n チャンネル型 T F T または p チャンネル型 T F T で形成されている。

【 0 1 5 9 】

なお、図示していないが、画素部 9 0 6 を挟んでゲート側駆動回路 9 0 7 の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

【 0 1 6 0 】

なお、上記構成は、実施例 1 ～ 3 のいずれかに示した製造工程に従って T F T を作製することによって実現することができる。

【 0 1 6 1 】

[実施例 9]

本実施例では、実施例 8 において示した E L 表示装置の回路構成例の具体例を示す。特に本実施例では、ソース側駆動回路およびゲート側駆動回路を全て実施例 1 で述べた E 型 N T F T で形成した場合について図 2 5 ～ 図 2 7 を用いて説明

する。本発明ではシフトレジスタの代わりに n チャンネル型 T F T のみを用いたデコーダを用いる。

【 0 1 6 2 】

図 2 5 はゲート側駆動回路の例である。図 2 5 において、1 0 0 0 がゲート側駆動回路のデコーダ、1 0 0 1 がゲート側駆動回路のバッファ部である。なお、バッファ部とは複数のバッファ（緩衝増幅器）が集積化された部分を指す。また、バッファとは後段の影響を前段に与えずに駆動を行う回路を指す。

【 0 1 6 3 】

まずゲート側デコーダ 1 0 0 0 を説明する。1 0 0 2 はデコーダ 1 0 0 0 の入力信号線（以下、選択線という）であり、ここでは A_1 、 A_1 バー（ A_1 の極性が反転した信号）、 A_2 、 A_2 バー（ A_2 の極性が反転した信号）、 $\dots A_n$ 、 A_n バー（ A_n の極性が反転した信号）を示している。即ち、 $2n$ 本の選択線が並んでいると考えれば良い。

【 0 1 6 4 】

選択線の本数はゲート側駆動回路から出力されるゲート配線が何列あるかによってその数が決まる。例えば V G A 表示の画素部をもつ場合はゲート配線が 4 8 0 本となるため、9 bit 分（ $n = 9$ に相当する）で合計 1 8 本の選択線が必要となる。選択線 1 0 0 2 は図 2 6 のタイミングチャートに示す信号を伝送する。図 2 6 に示すように、 A_1 の周波数を 1 とすると、 A_2 の周波数は 2^{-1} 倍、 A_3 の周波数は 2^{-2} 倍、 A_n の周波数は $2^{-(n-1)}$ 倍となる。

【 0 1 6 5 】

また、1 0 0 3 a は第 1 段の N A N D 回路（N A N D セルともいう）、1 0 0 3 b は第 2 段の N A N D 回路、1 0 0 3 c は第 n 段の N A N D である。N A N D 回路はゲート配線の本数分が必要であり、ここでは n 個が必要となる。即ち、本発明ではデコーダ 1 0 0 0 が複数の N A N D 回路からなる。

【 0 1 6 6 】

また、N A N D 回路 1 0 0 3 a ~ 1 0 0 3 c は、 n チャンネル型 T F T 1 0 0 4 ~ 1 0 0 9 が組み合わされて N A N D 回路を形成している。なお、実際には $2n$ 個の T F T が N A N D 回路 1 0 0 3 に用いられている。また、 n チャンネル型 T F T

1 0 0 4 ~ 1 0 0 9 の各々のゲートは選択線 1 0 0 2 (A_1 、 A_1 バー、 A_2 、 A_2 バー... A_n 、 A_n バー) のいずれかに接続されている。

【0167】

このとき、NAND回路 1 0 0 3 a において、 A_1 、 A_2 ... A_n (これらを正の選択線と呼ぶ) のいずれかに接続されたゲートを有する n チャンネル型 TFT 1 0 0 4 ~ 1 0 0 6 は、互いに並列に接続されており、共通のソースとして負電源線 (V_{DL}) 1 0 1 0 に接続され、共通のドレインとして出力線 1 0 1 1 に接続されている。また、 A_1 バー、 A_2 バー... A_n バー (これらを負の選択線と呼ぶ) のいずれかに接続されたゲートを有する n チャンネル型 TFT 1 0 0 7 ~ 1 0 0 9 は、互いに直列に接続されており、回路端に位置する n チャンネル型 TFT 1 0 0 9 のソースが正電源線 (V_{DH}) 1 0 1 2 に接続され、もう一方の回路端に位置する n チャンネル型 TFT 1 0 0 7 のドレインが出力線 1 0 1 1 に接続されている。

【0168】

以上のように、本発明において NAND 回路は直列に接続された n 個の n チャンネル型 TFT および並列に接続された n 個の n チャンネル型 TFT を含む。但し、 n 個の NAND 回路 1 0 0 3 a ~ 1 0 0 3 c において、 n チャンネル型 TFT と選択線との組み合わせはすべて異なる。即ち、出力線 1 0 1 1 は必ず 1 本しか選択されないようになっており、選択線 1 0 2 には出力線 1 0 1 1 が端から順番に選択されていくような信号が入力される。

【0169】

次に、バッファ部 1 0 0 1 は NAND 回路 1 0 0 3 a ~ 1 0 0 3 c の各々に対応して複数のバッファ 1 0 1 3 a ~ 1 0 1 3 c により形成されている。但しバッファ 1 0 1 3 a ~ 1 0 1 3 c はいずれも同一構造で良い。

【0170】

また、バッファ 1 0 1 3 a ~ 1 0 1 3 c は n チャンネル型 TFT 1 0 1 4 ~ 1 0 1 6 を用いて形成される。デコーダからの出力線 1 0 1 1 は n チャンネル型 TFT 1 0 1 4 (第 1 の n チャンネル型 TFT) のゲートとして入力される。 n チャンネル型 TFT 1 0 1 4 は正電源線 (V_{DH}) 1 0 1 7 をソースとし、画素部に続くゲート配線 1 0 1 8 をドレインとする。また、 n チャンネル型 TFT 1 0 1 5 (第 2 の n

チャンネル型TFT)は正電源線(V_{DH}) 1017をゲートとし、負電源線(V_{DL}) 1019をソースとし、ゲート配線1018をドレインとして常時オン状態となっている。

【0171】

即ち、本発明において、バッファ1013a~1013cは第1のnチャンネル型TFT(nチャンネル型TFT1014)および第1のnチャンネル型TFTに直列に接続され、且つ、第1のnチャンネル型TFTのドレインをゲートとする第2のnチャンネル型TFT(nチャンネル型TFT1015)を含む。

【0172】

また、nチャンネル型TFT1016(第3のnチャンネル型TFT)はリセット信号線(Reset)をゲートとし、負電源線(V_{DL}) 1019をソースとし、ゲート配線1018をドレインとする。なお、負電源線(V_{DL}) 1019は接地電源線(GND)としても構わない。

【0173】

このとき、nチャンネル型TFT1015のチャンネル幅($W1$ とする)とnチャンネル型TFT1014のチャンネル幅($W2$ とする)との間には $W1 < W2$ の関係がある。なお、チャンネル幅とはチャンネル長に垂直な方向におけるチャンネル形成領域の長さである。

【0174】

バッファ1013aの動作は次の通りである。まず出力線1011に負電圧が加えられているとき、nチャンネル型TFT1014はオフ状態(チャンネルが形成されていない状態)となる。一方でnチャンネル型TFT1015は常にオン状態(チャンネルが形成されている状態)であるため、ゲート配線1018には負電源線1019の電圧が加えられる。

【0175】

出力線1011に正電圧が加えられた場合、nチャンネル型TFT1014がオン状態となる。このとき、nチャンネル型TFT1014のチャンネル幅がnチャンネル型TFT1015のチャンネル幅よりも大きいため、ゲート配線1018の電位はnチャンネル型TFT1014側の出力に引っ張られ、結果的に正電源線101

7の電圧がゲート配線1018に加えられる。従って、ゲート配線1018は、出力線1011に正電圧が加えられるときは正電圧（画素のスイッチング素子として用いるnチャネル型TFTがオン状態になるような電圧）を出力し、出力線1011に負電圧が加えられているときは常に負電圧（画素のスイッチング素子として用いるnチャネル型TFTがオフ状態になるような電圧）を出力する。

【0176】

なお、nチャネル型TFT1016は正電圧が加えられたゲート配線1018を強制的に負電圧に引き下げるリセットスイッチとして用いられる。即ち、ゲート配線118の選択期間が終了したら。リセット信号を入力してゲート配線1018に負電圧を加える。但しnチャネル型TFT1016は省略することもできる。

【0177】

以上のような動作のゲート側駆動回路によりゲート配線が順番に選択されることになる。次に、ソース側駆動回路の構成を図27に示す。図27に示すソース側駆動回路はデコーダ1021、ラッチ1022およびバッファ部1023を含む。なお、デコーダ1021およびバッファ部1023の構成はゲート側駆動回路と同様であるので、ここでの説明は省略する。

【0178】

図27に示すソース側駆動回路の場合、ラッチ1022は第1段目のラッチ1024および第2段目のラッチ1025からなる。また、第1段目のラッチ1024および第2段目のラッチ1025は、各々m個のnチャネル型TFT1026a～1026cで形成される複数の単位ユニット1027を有する。デコーダ1021からの出力線1028は単位ユニット1027を形成するm個のnチャネル型TFT1026a～1026cのゲートに入力される。なお、mは任意の整数である。

【0179】

例えば、VGA表示の場合、ソース配線の本数は640本である。m=1の場合はNAND回路も640個必要となり、選択線は20本（10bit分に相当する）必要となる。しかし、m=8とすると必要なNAND回路は80個となり、

必要な選択線は14本（7bit分に相当する）となる。即ち、ソース配線の本数をM本とすると、必要なNAND回路は（M／m）個となる。

【0180】

nチャンネル型TFT1026a～1026cのソースは各々ビデオ信号線（V1、V2…Vk）1029に接続される。即ち、出力線1028に正電圧が加えられると一斉にnチャンネル型TFT1026a～1026cがオン状態となり、各々に対応するビデオ信号が取り込まれる。また、こうして取り込まれたビデオ信号は、nチャンネル型TFT1026a～1026cの各々に接続されたコンデンサ1030a～1030cに保持される。

【0181】

また、第2段目のラッチ125も複数の単位ユニット1027bを有し、単位ユニット1027bはm個のnチャンネル型TFT1031a～1031cで形成される。nチャンネル型TFT1031a～1031cのゲートはすべてラッチ信号線1032に接続され、ラッチ信号線1032に負電圧が加えられると一斉にnチャンネル型TFT1031a～1031cがオン状態となる。

【0182】

その結果、コンデンサ1030a～1030cに保持されていた信号が、nチャンネル型TFT1031a～1031cの各々に接続されたコンデンサ1033a～1033cに保持されると同時にバッファ1023へと出力される。そして、図25で説明したようにバッファを介してソース配線1034に出力される。以上のような動作のソース側駆動回路によりソース配線が順番に選択されることになる。

【0183】

以上のように、nチャンネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべてnチャンネル型TFTで形成することが可能となる。

【0184】

[実施例10]

本実施例では、実施例8において示したEL表示装置の回路構成例の具体例を

示す。特に本実施例では、ソース側駆動回路およびゲート側駆動回路を全て実施例 2 で述べた p チャネル型 T F T のみを用いる場合で、一般的なシフトレジスタの代わりに図 1 に示すような p チャネル型 T F T を用いたデコーダを用いる。なお、図 2 8 はゲート側駆動回路の例である。

【 0 1 8 5 】

図 2 8 において、1 2 0 0 がゲート側駆動回路のデコーダ、1 2 0 1 がゲート側駆動回路のバッファ部である。なお、バッファ部とは複数のバッファ（緩衝増幅器）が集積化された部分を指す。また、バッファとは後段の影響を前段に与えずに駆動を行う回路を指す。

【 0 1 8 6 】

まずゲート側デコーダ 1 2 0 0 を説明する。1 2 0 2 はデコーダ 1 2 0 0 の入力信号線（以下、選択線という）であり、ここでは A 1、A 1 バー（A 1 の極性が反転した信号）、A 2、A 2 バー（A 2 の極性が反転した信号）、… A n、A n バー（A n の極性が反転した信号）を示している。即ち、2 n 本の選択線が並んでいると考えれば良い。

【 0 1 8 7 】

選択線の本数はゲート側駆動回路から出力されるゲート配線が何列あるかによってその数が決まる。例えば V G A 表示の画素部をもつ場合はゲート配線が 4 8 0 本となるため、9 bit 分（n = 9 に相当する）で合計 1 8 本の選択線が必要となる。選択線 1 2 0 2 は図 2 9 のタイミングチャートに示す信号を伝送する。図 2 9 に示すように、A 1 の周波数を 1 とすると、A 2 の周波数は 2^{-1} 倍、A 3 の周波数は 2^{-2} 倍、A n の周波数は $2^{-(n-1)}$ 倍となる。

【 0 1 8 8 】

また、1 2 0 3 a は第 1 段の N A N D 回路（N A N D セルともいう）、1 2 0 3 b は第 2 段の N A N D 回路、1 2 0 3 c は第 n 段の N A N D である。N A N D 回路はゲート配線の本数分が必要であり、ここでは n 個が必要となる。即ち、本発明ではデコーダ 1 2 0 0 が複数の N A N D 回路からなる。

【 0 1 8 9 】

また、N A N D 回路 1 2 0 3 a ~ 1 2 0 3 c は、p チャネル型 T F T 1 2 0 4 ~

1 2 0 9 が組み合わされて NAND 回路を形成している。なお、実際には $2n$ 個の TFT が NAND 回路 1 2 0 3 に用いられている。また、p チャンネル型 TFT 1 2 0 4 ~ 1 2 0 9 の各々のゲートは選択線 1 2 0 2 (A_1 、 A_1 バー、 A_2 、 A_2 バー... A_n 、 A_n バー) のいずれかに接続されている。

【0 1 9 0】

このとき、NAND 回路 1 2 0 3 a において、 A_1 、 A_2 ... A_n (これらを正の選択線と呼ぶ) のいずれかに接続されたゲートを有する p チャンネル型 TFT 1 2 0 4 ~ 1 2 0 6 は、互いに並列に接続されており、共通のソースとして正電源線 (V_{DH}) 1 2 1 0 に接続され、共通のドレインとして出力線 1 2 1 1 に接続されている。また、 A_1 バー、 A_2 バー... A_n バー (これらを負の選択線と呼ぶ) のいずれかに接続されたゲートを有する p チャンネル型 TFT 1 2 0 7 ~ 1 2 0 9 は、互いに直列に接続されており、回路端に位置する p チャンネル型 TFT 1 2 0 9 のソースが負電源線 (V_{DL}) 1 2 1 2 に接続され、もう一方の回路端に位置する p チャンネル型 TFT 1 2 0 7 のドレインが出力線 1 2 1 1 に接続されている。

【0 1 9 1】

以上のように、本発明において NAND 回路は直列に接続された n 個の一導電型 TFT (ここでは p チャンネル型 TFT) および並列に接続された n 個の一導電型 TFT (ここでは p チャンネル型 TFT) を含む。但し、 n 個の NAND 回路 1 2 0 3 a ~ 1 0 3 c において、p チャンネル型 TFT と選択線との組み合わせはすべて異なる。即ち、出力線 1 2 1 1 は必ず 1 本しか選択されないようになっており、選択線 1 2 0 2 には出力線 1 2 1 1 が端から順番に選択されていくような信号が入力される。

【0 1 9 2】

次に、バッファ 1 2 0 1 は NAND 回路 1 2 0 3 a ~ 1 2 0 3 c の各々に対応して複数のバッファ 1 2 1 3 a ~ 1 2 1 3 c により形成されている。但しバッファ 1 2 1 3 a ~ 1 2 1 3 c はいずれも同一構造で良い。

【0 1 9 3】

また、バッファ 1 2 1 3 a ~ 1 2 1 3 c は一導電型 TFT として p チャンネル型 TFT 1 2 1 4 ~ 1 2 1 6 を用いて形成される。デコーダからの出力線 1 2 1 1 は

pチャネル型TFT1214（第1の一導電型TFT）のゲートとして入力される。pチャネル型TFT1214は接地電源線（GND）1217をソースとし、ゲート配線1218をドレインとする。また、pチャネル型TFT1215（第2の一導電型TFT）は接地電源線1217をゲートとし、正電源線（ V_{DH} ）1219をソースとし、ゲート配線1218をドレインとして常時オン状態となっている。

【0194】

即ち、本発明において、バッファ1213a～1213cは第1の一導電型TFT（pチャネル型TFT1214）および第1の一導電型TFTに直列に接続され、且つ、第1の一導電型TFTのドレインをゲートとする第2の一導電型TFT（pチャネル型TFT1215）を含む。

【0195】

また、pチャネル型TFT1216（第3の一導電型TFT）はリセット信号線（Reset）をゲートとし、正電源線1219をソースとし、ゲート配線1218をドレインとする。なお、接地電源線1217は負電源線（但し画素のスイッチング素子として用いるpチャネル型TFTがオン状態になるような電圧を与える電源線）としても構わない。

【0196】

このとき、pチャネル型TFT1215のチャネル幅（ $W1$ とする）とpチャネル型TFT1214のチャネル幅（ $W2$ とする）との間には $W1 < W2$ の関係がある。なお、チャネル幅とはチャネル長に垂直な方向におけるチャネル形成領域の長さである。

【0197】

バッファ1213aの動作は次の通りである。まず出力線1211に正電圧が加えられているとき、pチャネル型TFT1214はオフ状態（チャネルが形成されていない状態）となる。一方でpチャネル型TFT1215は常にオン状態（チャネルが形成されている状態）であるため、ゲート配線1218には正電源線1219の電圧が加えられる。

【0198】

ところが、出力線 1 2 1 1 に負電圧が加えられた場合、p チャンネル型 T F T 1 2 1 4 がオン状態となる。このとき、p チャンネル型 T F T 1 2 1 4 のチャンネル幅が p チャンネル型 T F T 1 2 1 5 のチャンネル幅よりも大きいため、ゲート配線 1 2 1 8 の電位は p チャンネル型 T F T 1 2 1 4 側の出力に引っ張られ、結果的に接地電源線 1 2 1 7 の電圧がゲート配線 1 2 1 8 に加えられる。

【 0 1 9 9 】

従って、ゲート配線 1 2 1 8 は、出力線 1 2 1 1 に負電圧が加えられるときは負電圧（画素のスイッチング素子として用いる p チャンネル型 T F T がオン状態になるような電圧）を出力し、出力線 1 2 1 1 に正電圧が加えられているときは常に正電圧（画素のスイッチング素子として用いる p チャンネル型 T F T がオフ状態になるような電圧）を出力する。

【 0 2 0 0 】

なお、p チャンネル型 T F T 1 2 1 6 は負電圧が加えられたゲート配線 1 2 1 8 を強制的に正電圧に引き上げるリセットスイッチとして用いられる。即ち、ゲート配線 1 2 1 8 の選択期間が終了したら。リセット信号を入力してゲート配線 1 2 1 8 に正電圧を加える。但し p チャンネル型 T F T 1 2 1 6 は省略することもできる。

【 0 2 0 1 】

以上のような動作のゲート側駆動回路によりゲート配線が順番に選択されることになる。次に、ソース側駆動回路の構成を図 3 0 に示す。図 3 0 に示すソース側駆動回路はデコーダ 1 3 0 1、ラッチ 1 3 0 2 およびバッファ 1 3 0 3 を含む。なお、デコーダ 1 3 0 1 およびバッファ 1 3 0 3 の構成はゲート側駆動回路と同様であるので、ここでの説明は省略する。

【 0 2 0 2 】

図 2 9 に示すソース側駆動回路の場合、ラッチ 1 3 0 2 は第 1 段目のラッチ 1 3 0 4 および第 2 段目のラッチ 1 3 0 5 からなる。また、第 1 段目のラッチ 1 3 0 4 および第 2 段目のラッチ 1 3 0 5 は、各々 m 個の p チャンネル型 T F T 1 3 0 6 a ~ 1 3 0 6 c で形成される複数の単位ユニット 1 3 0 7 を有する。デコーダ 1 3 0 1 からの出力線 1 3 0 8 は単位ユニット 1 3 0 7 を形成する m 個の p チャンネ

ル型TFT1306a~1306cのゲートに入力される。なお、mは任意の整数である。

【0203】

例えば、VGA表示の場合、ソース配線の本数は640本である。m=1の場合はNAND回路も640個必要となり、選択線は20本（10bit分に相当する）必要となる。しかし、m=8とすると必要なNAND回路は80個となり、必要な選択線は14本（7bit分に相当する）となる。即ち、ソース配線の本数をM本とすると、必要なNAND回路は(M/m)個となる。

【0204】

そして、pチャネル型TFT1306a~1306cのソースは各々ビデオ信号線(V1、V2...Vk)1309に接続される。即ち、出力線1308に負電圧が加えられると一斉にpチャネル型TFT1306a~1306cがオン状態となり、各々に対応するビデオ信号が取り込まれる。また、こうして取り込まれたビデオ信号は、pチャネル型TFT1306a~1306cの各々に接続されたコンデンサ1310a~1310cに保持される。

【0205】

また、第2段目のラッチ1305も複数の単位ユニット1307bを有し、単位ユニット1307bはm個のpチャネル型TFT1311a~1311cで形成される。pチャネル型TFT1311a~1311cのゲートはすべてラッチ信号線1312に接続され、ラッチ信号線1312に負電圧が加えられると一斉にpチャネル型TFT1311a~1311cがオン状態となる。

【0206】

その結果、コンデンサ1310a~1310cに保持されていた信号が、pチャネル型TFT1311a~1311cの各々に接続されたコンデンサ1313a~1313cに保持されると同時にバッファ1303へと出力される。そして、図28で説明したようにバッファを介してソース配線1314に出力される。以上のような動作のソース側駆動回路によりソース配線が順番に選択されることになる。

【0207】

以上のように、pチャネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべてpチャネル型TFTで形成することが可能となる。従って、アクティブマトリクス型の電気光学装置を作製する上でTFT工程の歩留まりおよびスループットを大幅に向上させることができ、製造コストを低減することが可能となる。

【0208】

[実施例11]

本発明の半導体装置は、各種多様の電子機器の表示装置や各種集積回路、或いは、従来の集積回路に代わる回路用途に応用することができる。このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ、プロジェクター等が挙げられる。それらの一例を図31～図33に示す。

【0209】

図31（A）は携帯電話であり、表示用パネル2701、操作用パネル2702、接続部2703から成り、表示用パネル2701には表示装置2704、音声出力部2705、アンテナ2709などが設けられている。操作パネル2702には操作キー2706、電源スイッチ2702、音声入力部27058などが設けられている。本発明は表示装置2904を形成することができる。

【0210】

図31（B）はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本発明は表示装置9102に適用することができる。

【0211】

図31（C）はモバイルコンピュータ或いは携帯型情報端末であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本発明は半導体装置は表示装置9205に適用することができる。

【0212】

図31（D）はテレビ受像器であり、本体9401、スピーカ9402、表示

装置 9 4 0 3、受信装置 9 4 0 4、増幅装置 9 4 0 5 等で構成される。本発明は表示装置 9 4 0 3 に適用することができる。

【 0 2 1 3 】

図 3 1 (E) は携帯書籍であり、本体 9 5 0 1、表示装置 9 5 0 2、9 5 0 3、記憶媒体 9 5 0 4、操作スイッチ 9 5 0 5、アンテナ 9 5 0 6 から構成されており、ミニディスク (MD) や DVD に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示装置 9 5 0 2、9 5 0 3 や、記憶媒体 9 5 0 4 に適用することができる。

【 0 2 1 4 】

図 3 2 (A) はパーソナルコンピュータであり、本体 9 6 0 1、画像入力部 9 6 0 2、表示装置 9 6 0 3、キーボード 9 6 0 4 で構成される。本発明は表示装置 9 6 0 1 や、内蔵する各種集積回路に適用することができる。

【 0 2 1 5 】

図 3 2 (B) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 9 7 0 1、表示装置 9 7 0 2、スピーカ部 9 7 0 3、記録媒体 9 7 0 4、操作スイッチ 9 7 0 5 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置 9 7 0 2 や、内蔵する各種集積回路に適用することができる。

【 0 2 1 6 】

図 3 2 (C) はデジタルカメラであり、本体 9 8 0 1、表示装置 9 8 0 2、接眼部 9 8 0 3、操作スイッチ 9 8 0 4、受像部 (図示しない) で構成される。本発明は表示装置 9 8 0 2 や、内蔵する各種集積回路に適用することができる。

【 0 2 1 7 】

図 3 3 (A) はフロント型プロジェクターであり、投射装置 3 6 0 1、スクリーン 3 6 0 2 で構成される。本発明は投射装置 3 6 0 1 やその他の信号制御回路に適用することができる。

【 0 2 1 8 】

図 3 3 (B) はリア型プロジェクターであり、本体 3 7 0 1、投射装置 3 7 0

2、ミラー 3 7 0 3、スクリーン 3 7 0 4 で構成される。本発明は投射装置 3 7 0 2 やその他の信号制御回路に適用することができる。

【 0 2 1 9 】

尚、図 3 3 (C) は、図 3 3 (A) 及び図 3 3 (B) 中における投射装置 3 6 0 1、3 7 0 2 の構造の一例を示した図である。投射装置 3 6 0 1、3 7 0 2 は、光源光学系 3 8 0 1、ミラー 3 8 0 2、3 8 0 4 ~ 3 8 0 6、ダイクロイックミラー 3 8 0 3、プリズム 3 8 0 7、液晶表示装置 3 8 0 8、位相差板 3 8 0 9、投射光学系 3 8 1 0 で構成される。投射光学系 3 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 3 3 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

【 0 2 2 0 】

また、図 3 3 (D) は、図 3 3 (C) 中における光源光学系 3 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 3 8 0 1 は、リフレクター 3 8 1 1、光源 3 8 1 2、レンズアレイ 3 8 1 3、3 8 1 4、偏光変換素子 3 8 1 5、集光レンズ 3 8 1 6 で構成される。なお、図 3 3 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

【 0 2 2 1 】

ここでは図示しなかったが、本発明はその他にもナビゲーションシステムをはじめ冷蔵庫、洗濯機、電子レンジ、固定電話機などに組み込む表示装置としても適用することも可能である。このように本発明の適用範囲はきわめて広く、さまざまな製品に適用することができる。

【 0 2 2 2 】

【発明の効果】

【 0 2 2 3 】

【 0 2 2 4 】

【図面の簡単な説明】

【図 1】 E B S P 法により求められる本発明の結晶質半導体膜の逆極点図。

【図 2】 N i 水溶液濃度と { 1 0 1 } 配向率の関係を示すグラフ。

【図 3】 結晶質半導体膜中の G e 濃度を S I M S により測定した結果を示すグラフ。

【図 4】 S i H₄、G e H₄、H₂ ガスより作製された試料の C、N、O 濃度を阿表す S I M S データ。

【図 5】 G e H₄ の添加量と結晶核発生密度との関係を示すグラフ。

【図 6】 E B S P 装置の構成を説明する図。

【図 7】 E P S P による試料測定 of 概念を説明する図。

【図 8】 E B S P データから得られる逆極点図の例。

【図 9】 { 1 0 1 } 配向からのずれ角を説明する図。

【図 1 0】 { 1 0 1 } 付近に優先配向している場合 of 各結晶粒 of < 1 0 1 > 方位 of ゆらぎを説明する図。

【図 1 1】 本発明 of 結晶質半導体膜 of 作製方法を説明する図。

【図 1 2】 本発明 of 結晶質半導体膜 of 作製方法を説明する図。

【図 1 3】 本発明 of 結晶質半導体膜 of 作製方法を説明する図。

【図 1 4】 p チャネル型 T F T を作製する工程を説明する図。

【図 1 5】 n チャネル型 T F T を作製する工程を説明する図。

【図 1 6】 C M O S 構造 of T F T を作製する工程を説明する図。

【図 1 7】 駆動回路及び画素部 of T F T を同一基板に形成した構造を説明する図。

【図 1 8】 画素部における画素構造 of 上面図。

【図 1 9】 N M O S 回路 of 構成を示す図。

【図 2 0】 シフトレジスタ of 構成を示す図。

【図 2 1】 E L 表示装置 of 駆動回路及び画素部 of 断面構造図。

【図 2 2】 E L 表示装置 of 上面図及び断面図。

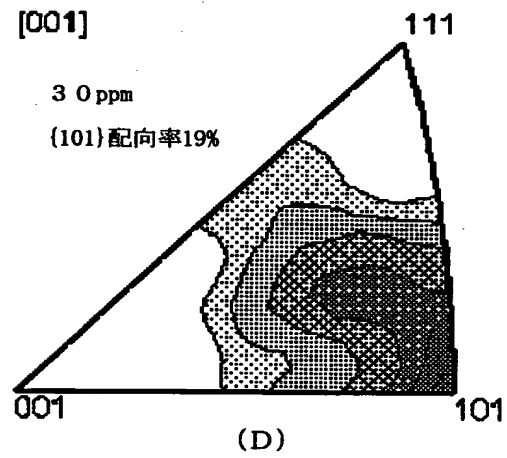
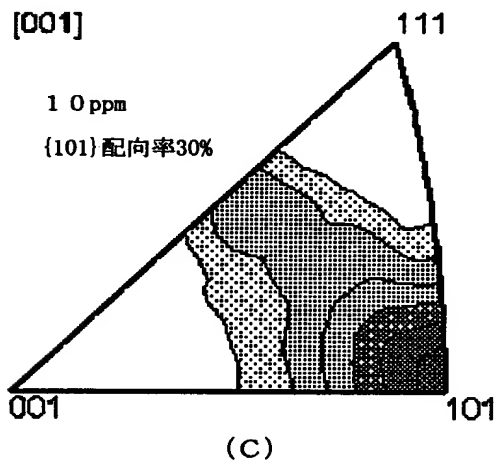
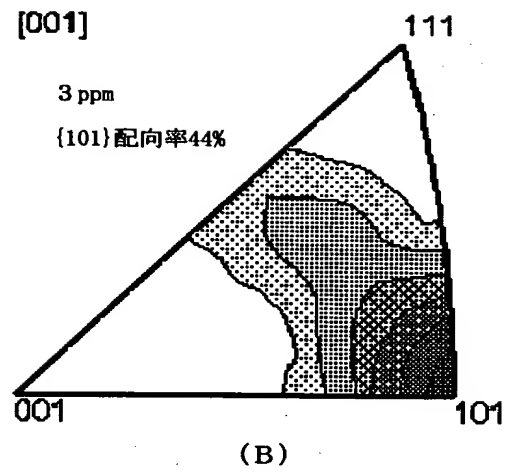
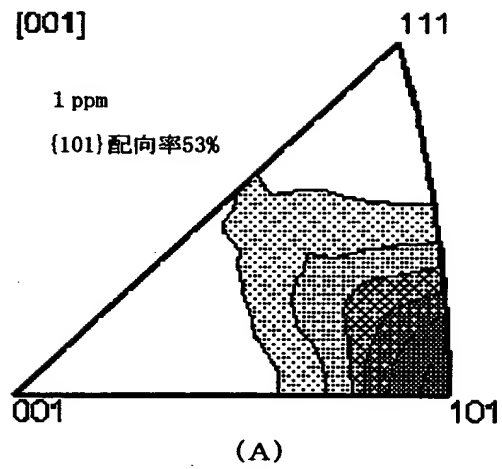
【図 2 3】 E L 表示装置 of 画素 of 上面図及び回路図。

【図 2 4】 デジタル駆動 of 表示装置 of 回路ブロック図。

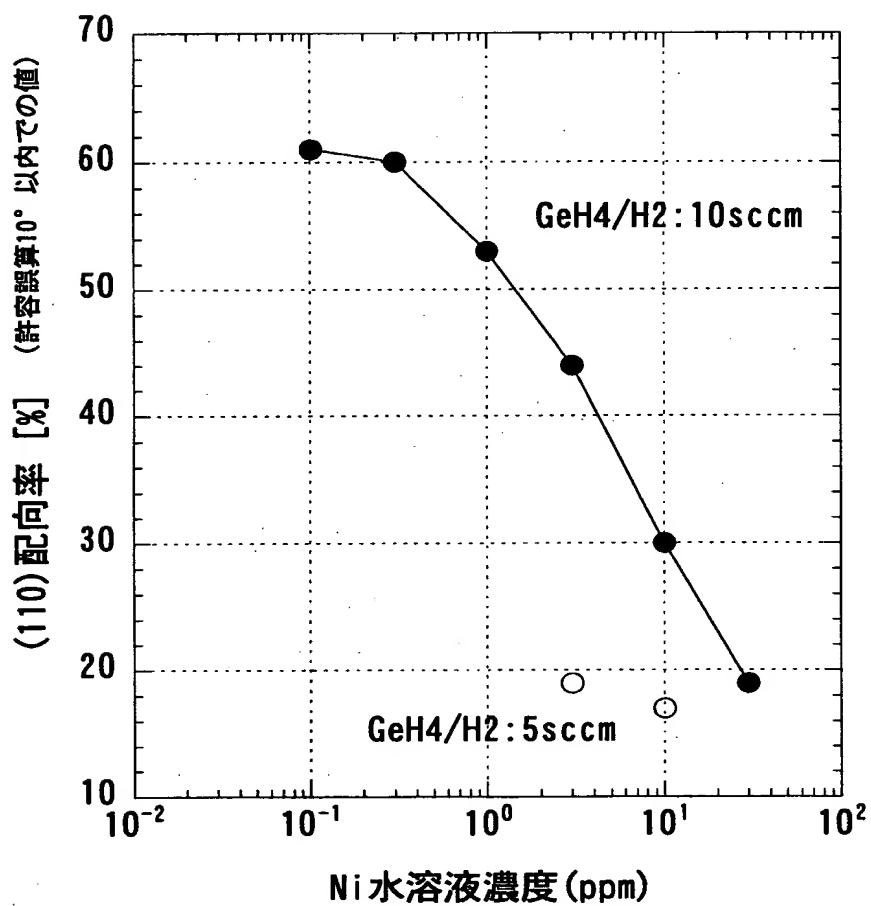
- 【図 2 5】 nチャネル型T F Tで形成したゲート側駆動回路の構成を示す図。
- 【図 2 6】 デコーダ入力信号のタイミングチャートを説明する図。
- 【図 2 7】 nチャネル型T F Tで形成したソース側駆動回路の構成を示す図。
- 【図 2 8】 pチャネル型T F Tで形成したゲート側駆動回路の構成を示す図。
- 【図 2 9】 デコーダ入力信号のタイミングチャートを説明する図。
- 【図 3 0】 pチャネル型T F Tで形成したソース側駆動回路の構成を示す図。
- 【図 3 1】 半導体装置の一例を示す図。
- 【図 3 2】 半導体装置の一例を示す図。
- 【図 3 3】 プロジェクターの一例を示す図。
- 【図 3 4】 X線回折測定と試料あおり角を説明する図。
- 【図 3 5】 試料あおり角と、回折に寄与する格子面を説明する図。
- 【図 3 6】 E B S P法により求められる結晶質半導体膜の逆極点図。

【書類名】 図面

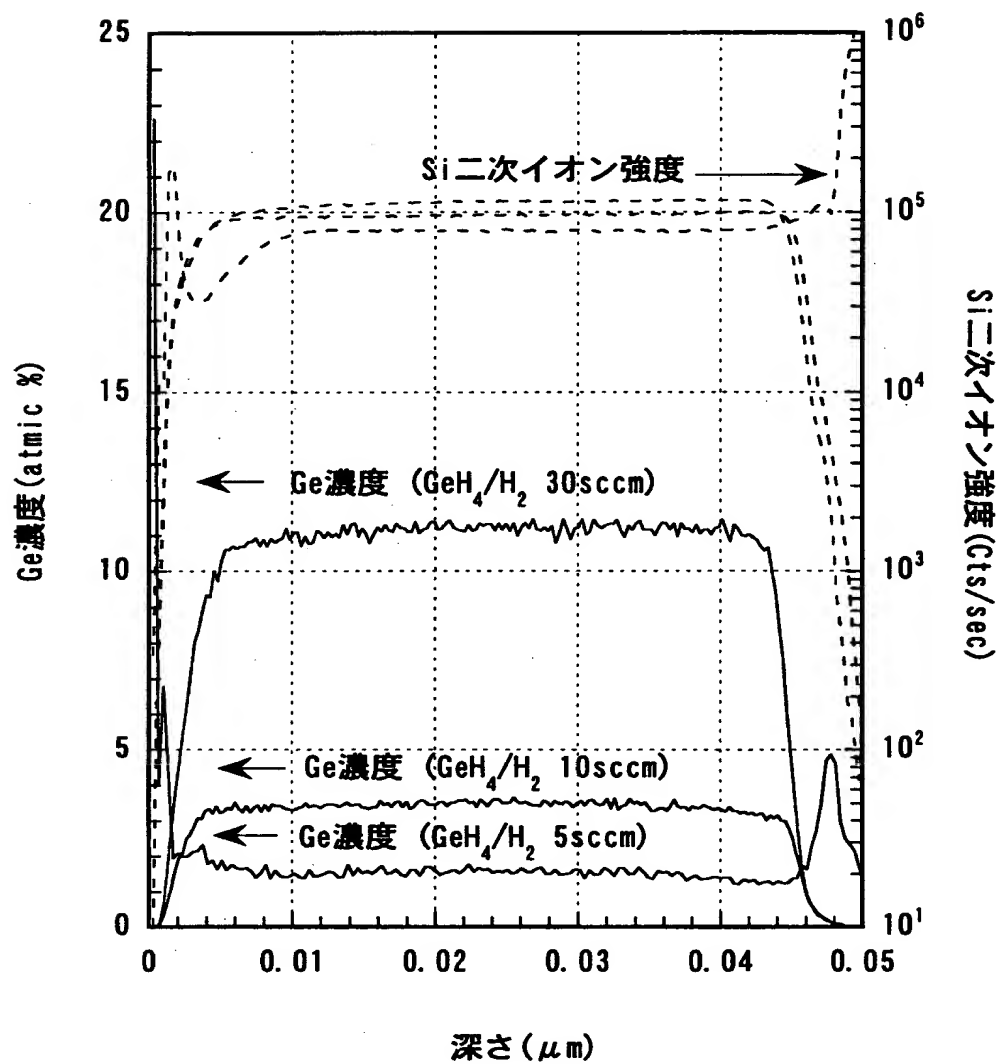
【図 1】



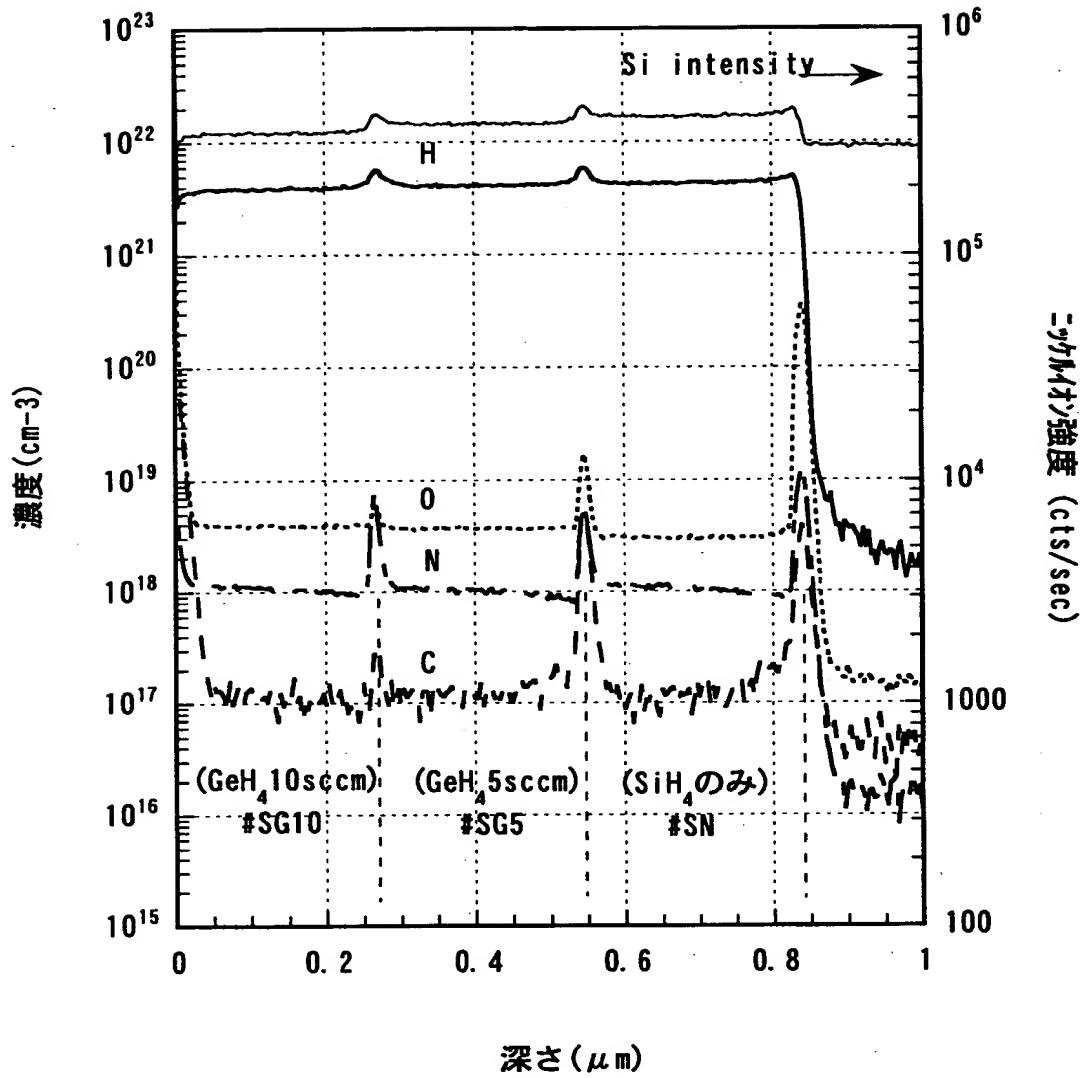
【図 2】



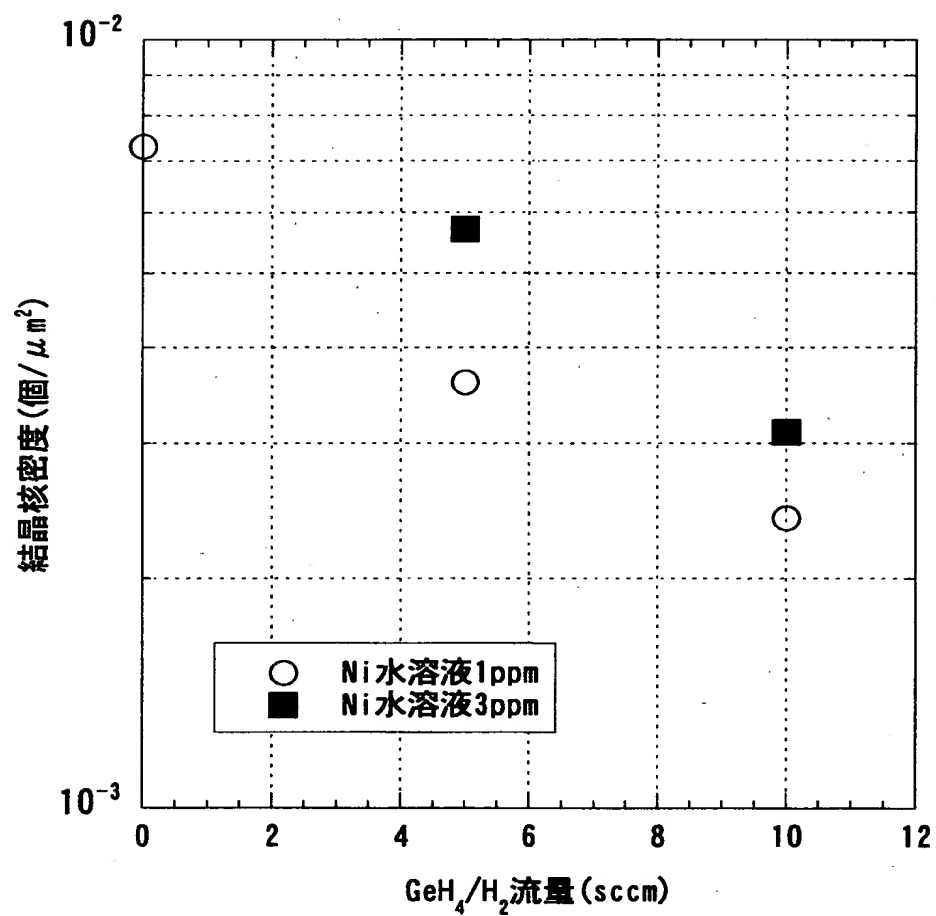
【図 3】



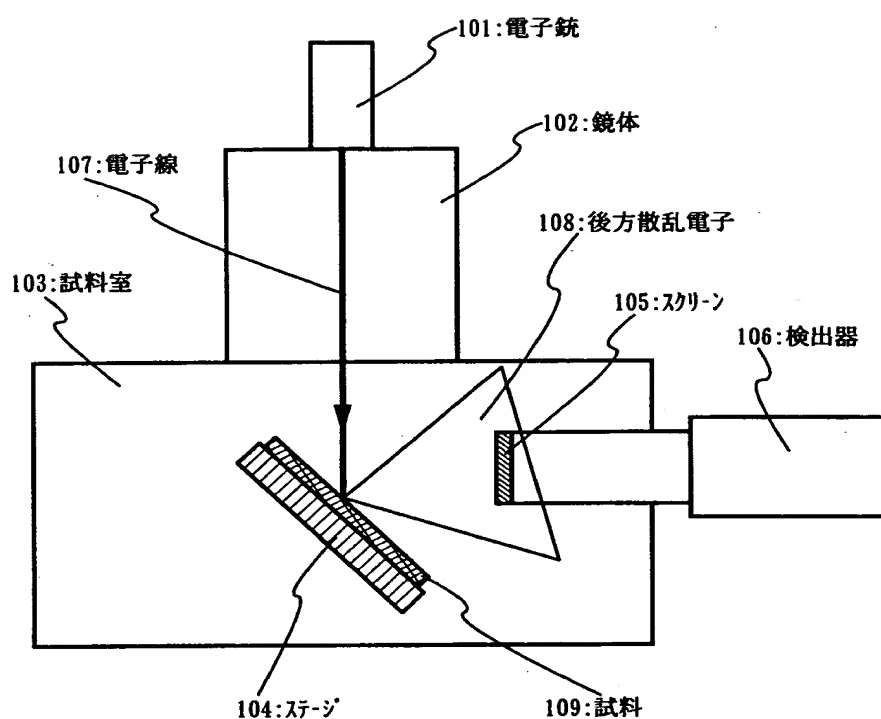
【図 4】



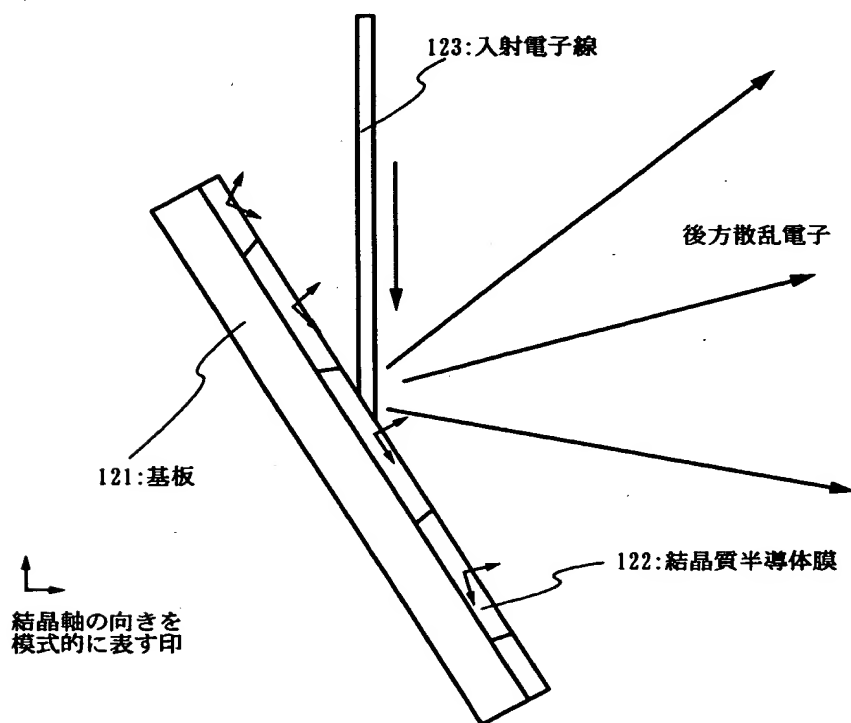
【図5】



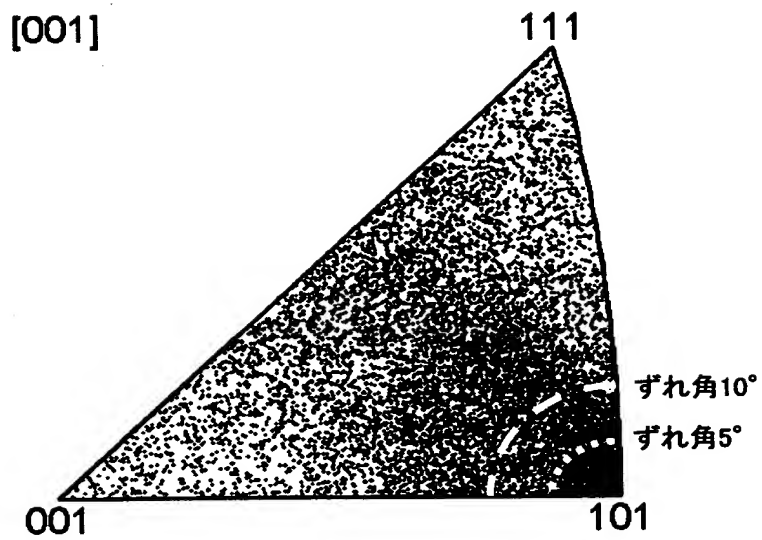
【図 6】



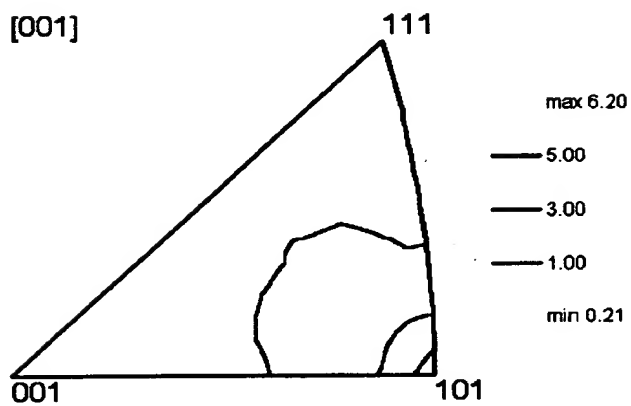
【図 7】



【図 8】

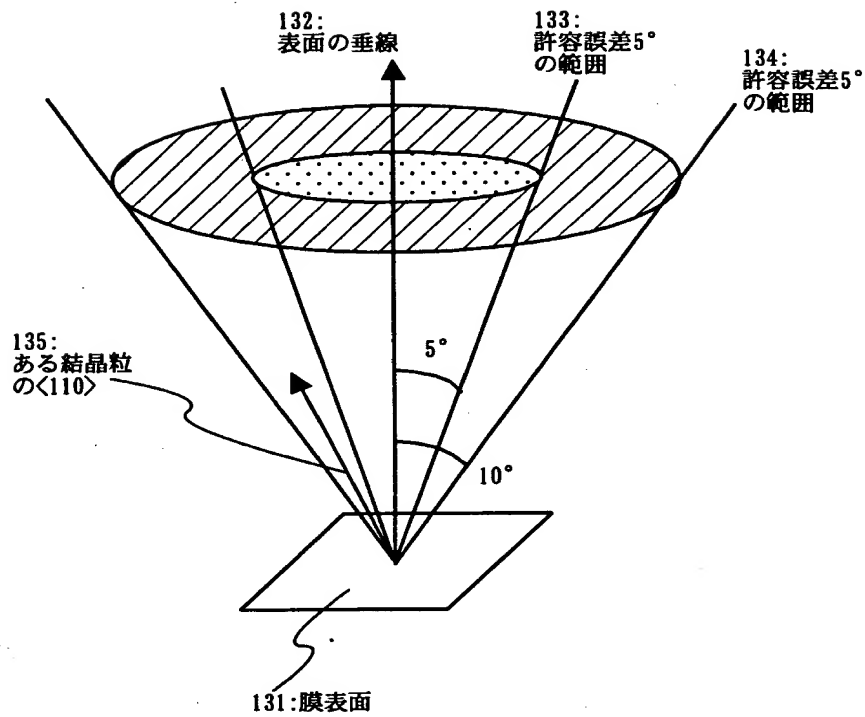


(A) マッピング測定における全測定点のプロット

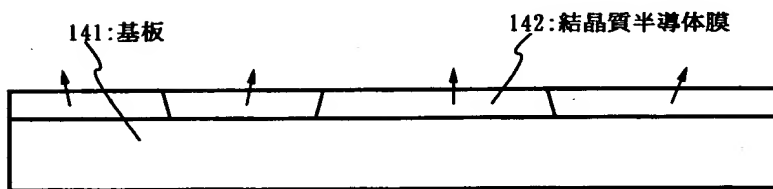


(B) 特定指数への配向の集中度を等高線表示した例

【図 9】

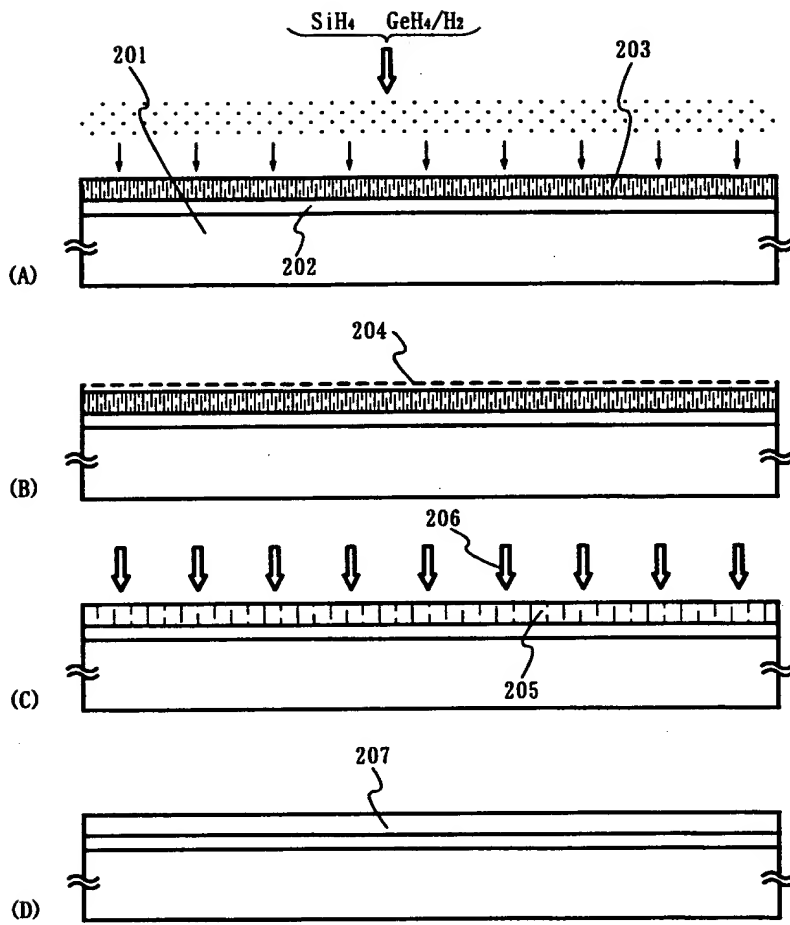


【図 10】

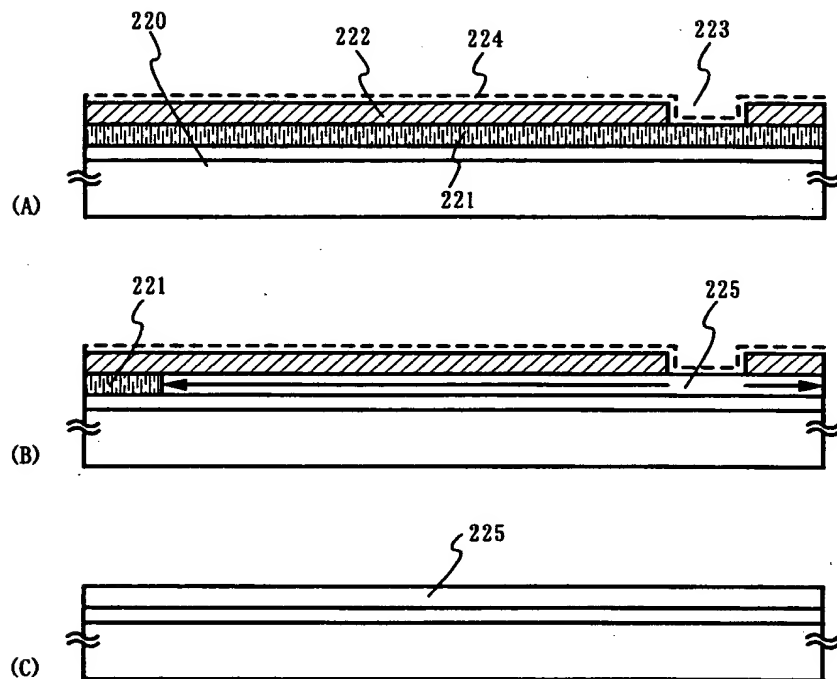


結晶粒の<101>方位のゆらぎを説明する図

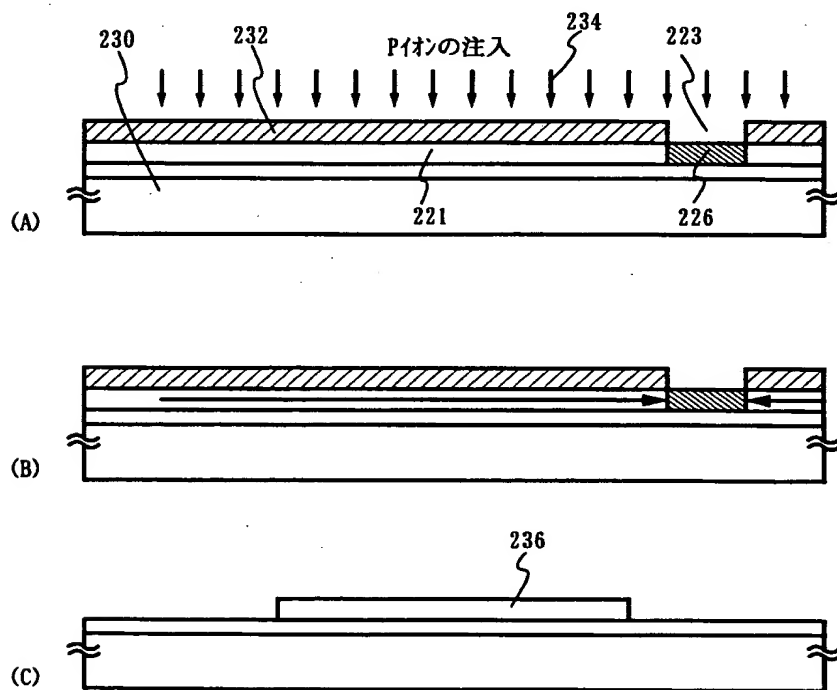
【図 1 1】



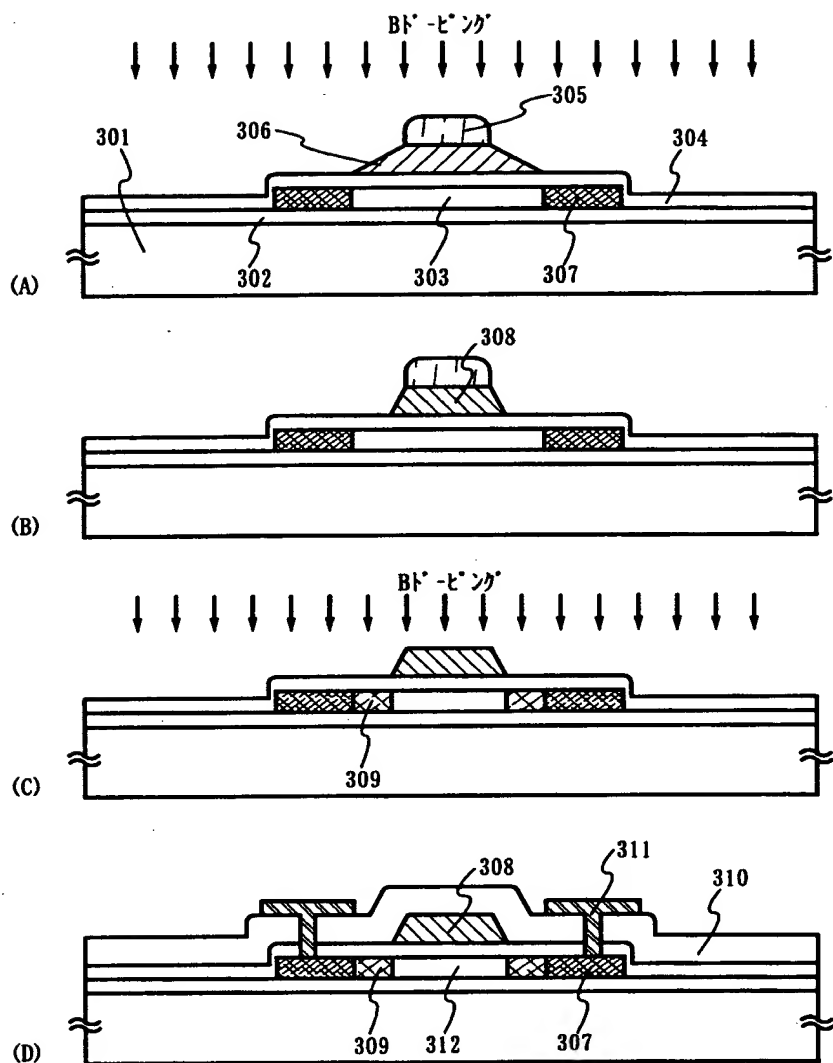
【図 1 2】



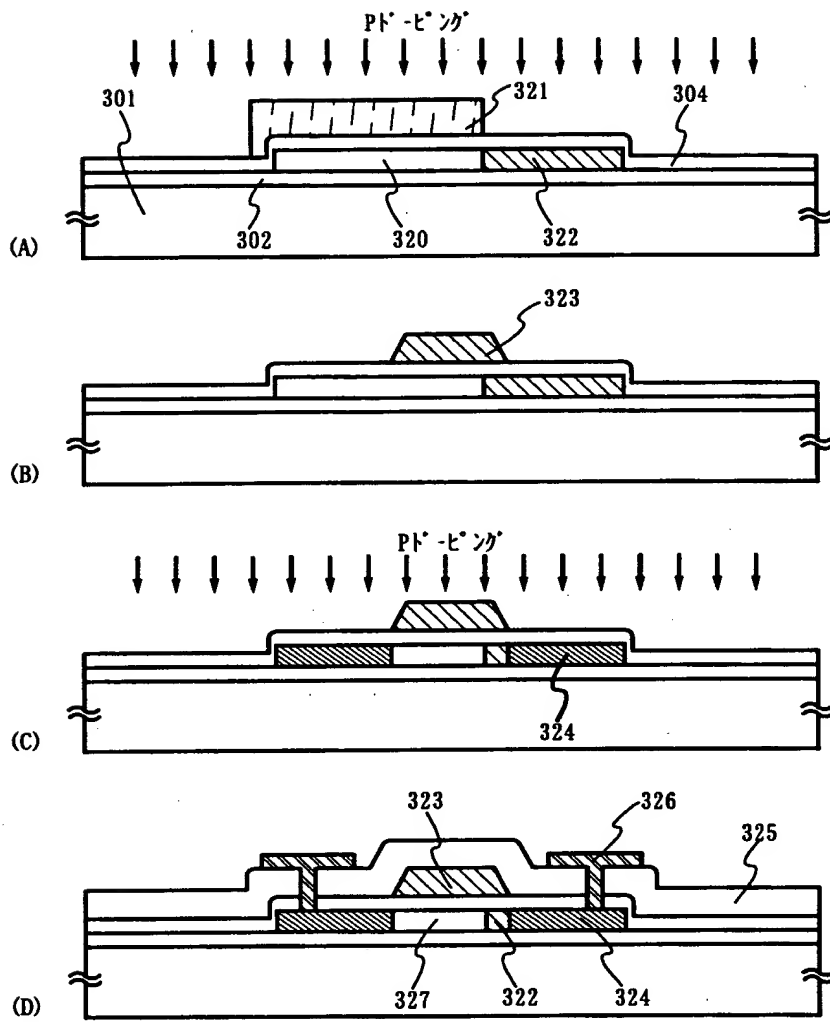
【図 1 3】



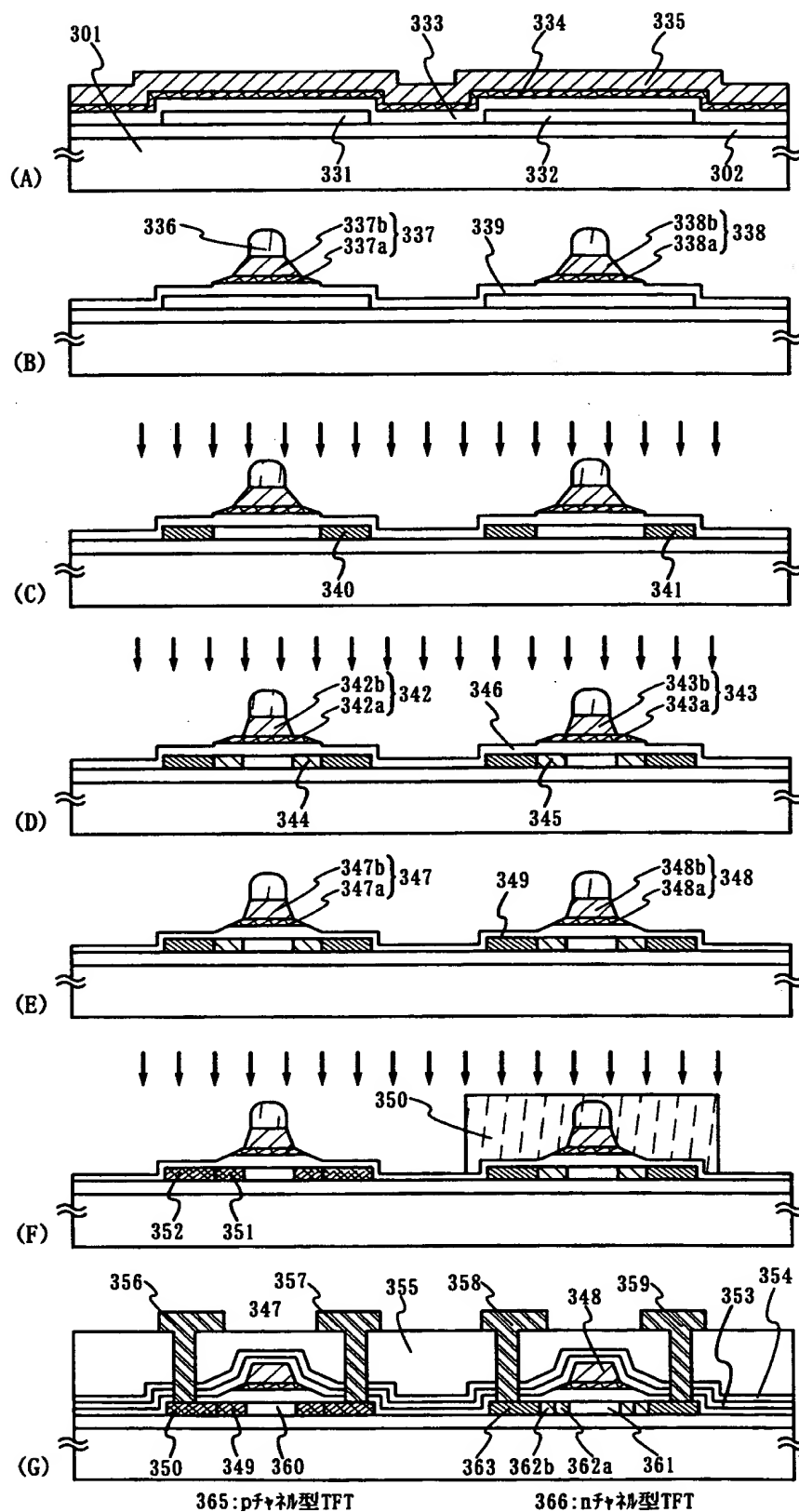
【図 14】



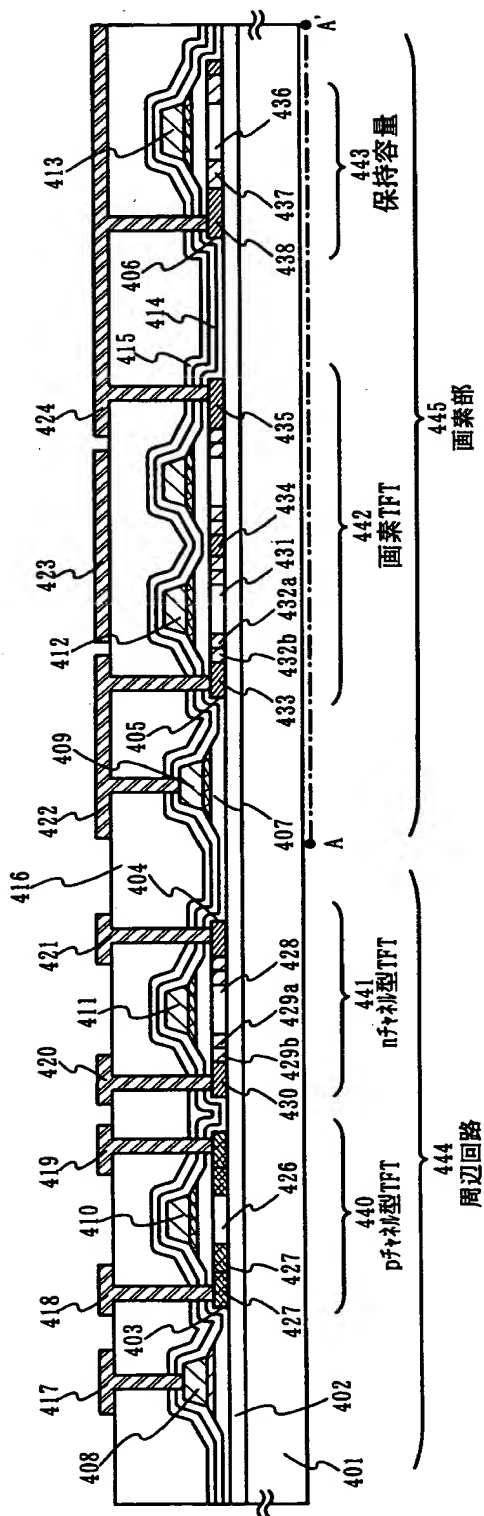
【図 15】



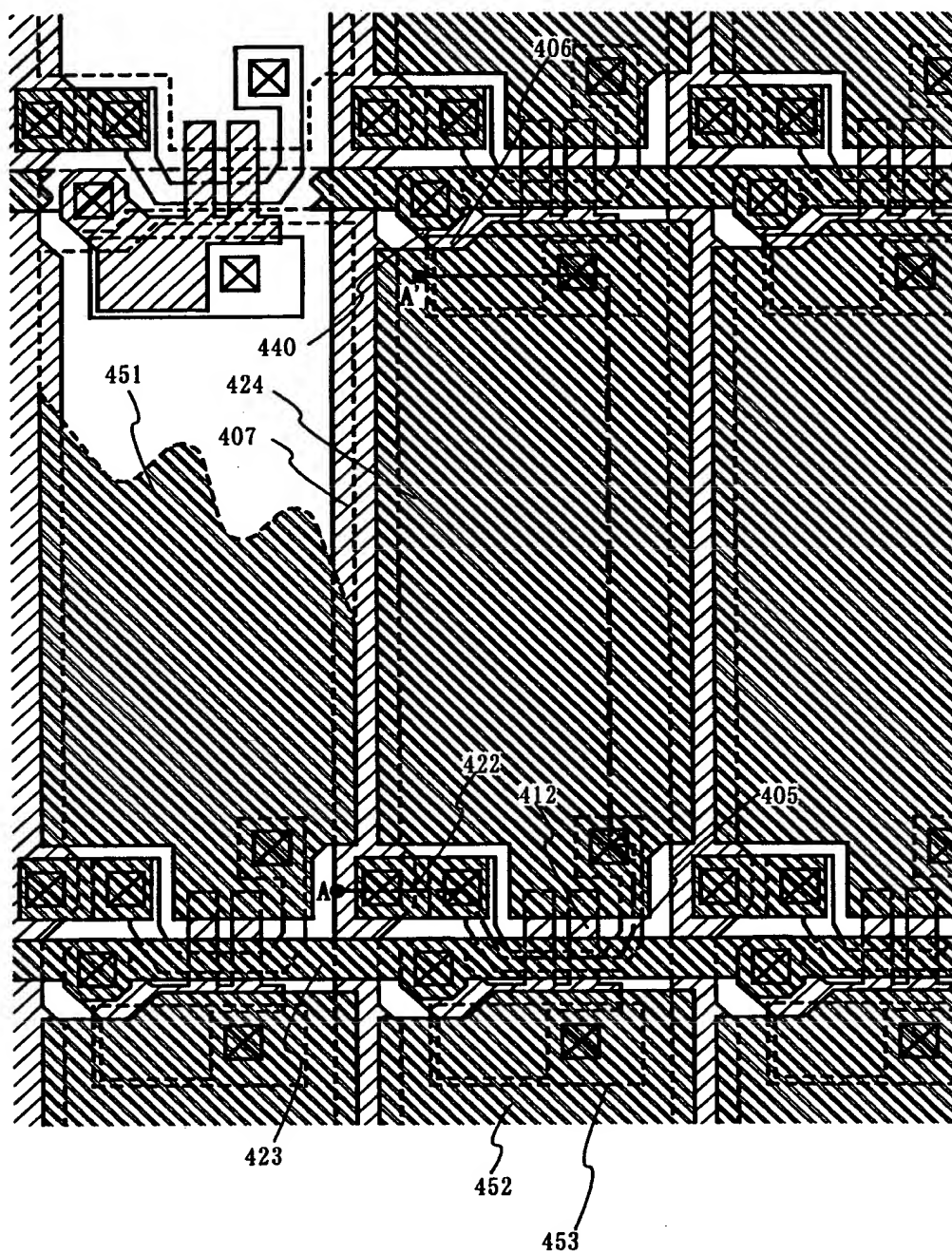
【図 16】



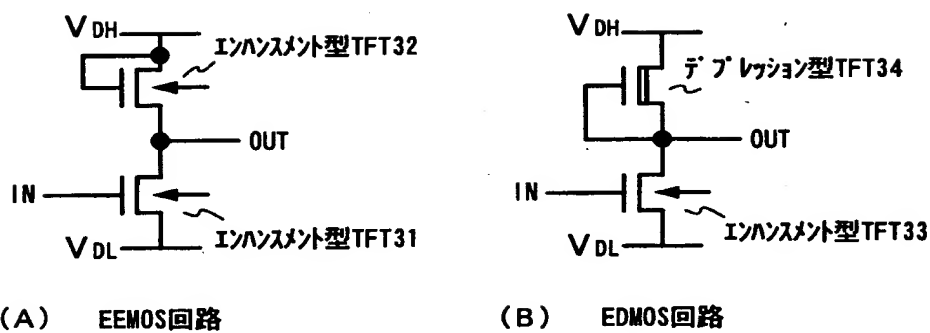
【図17】



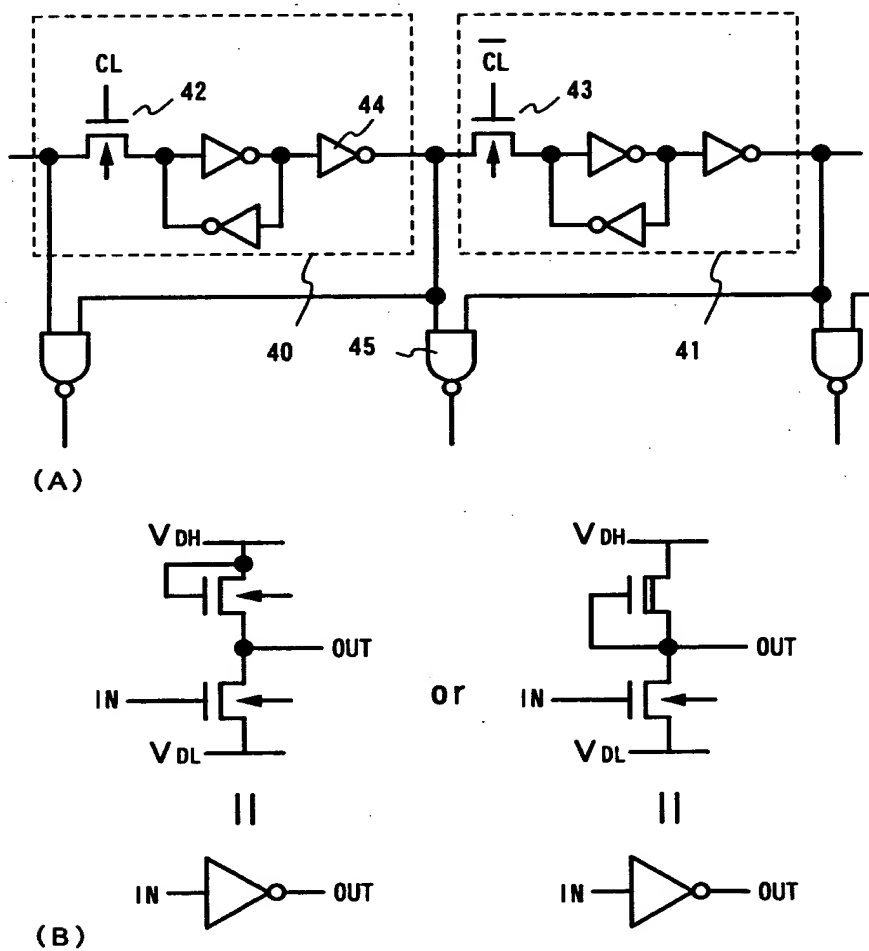
【図 18】



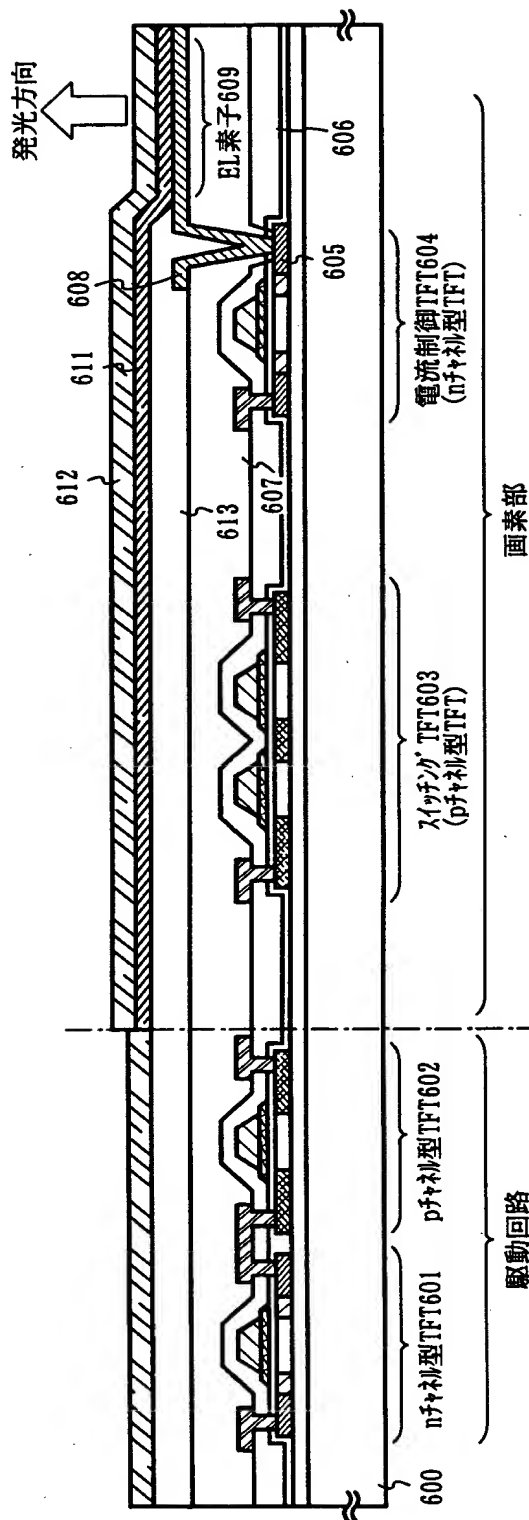
【図19】



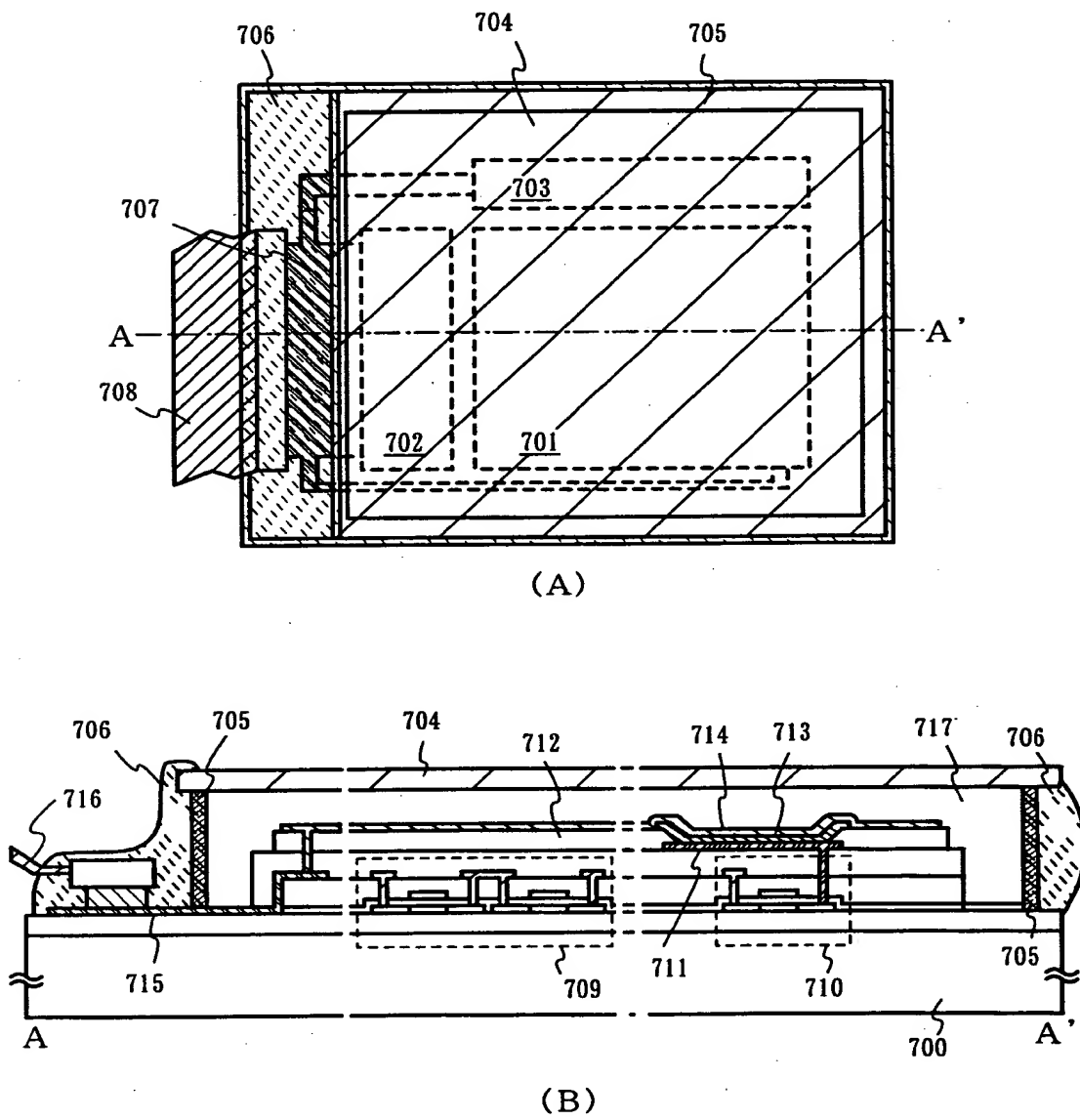
【図20】



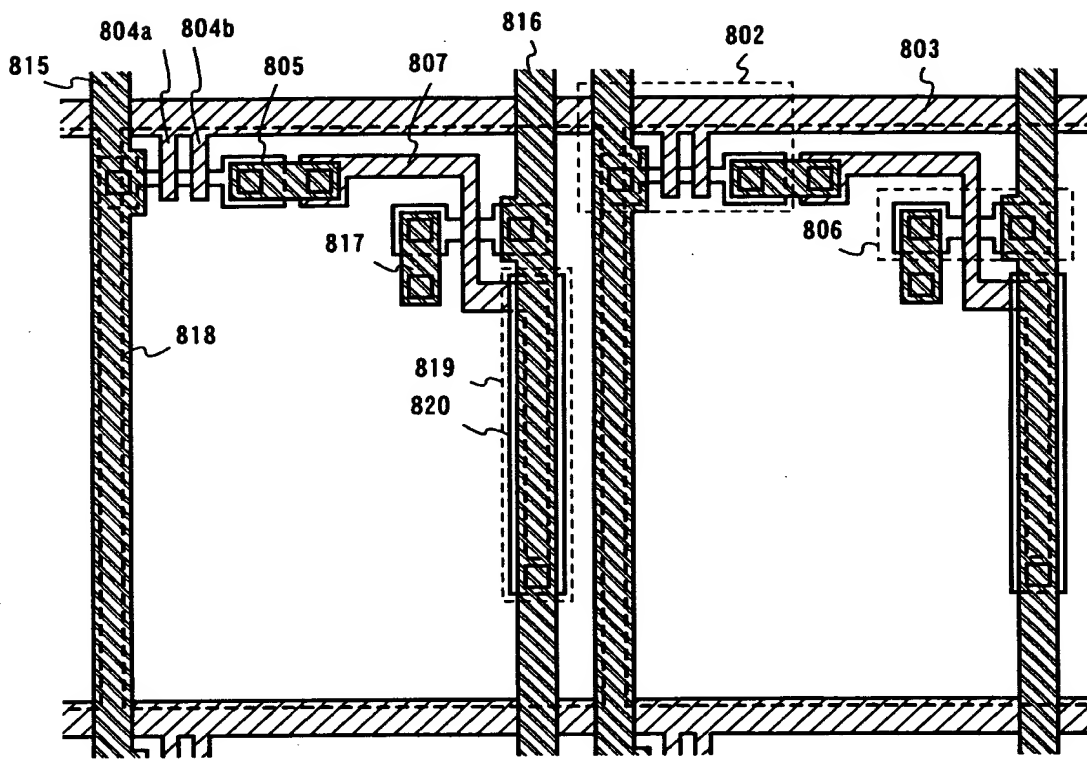
【図 2 1】



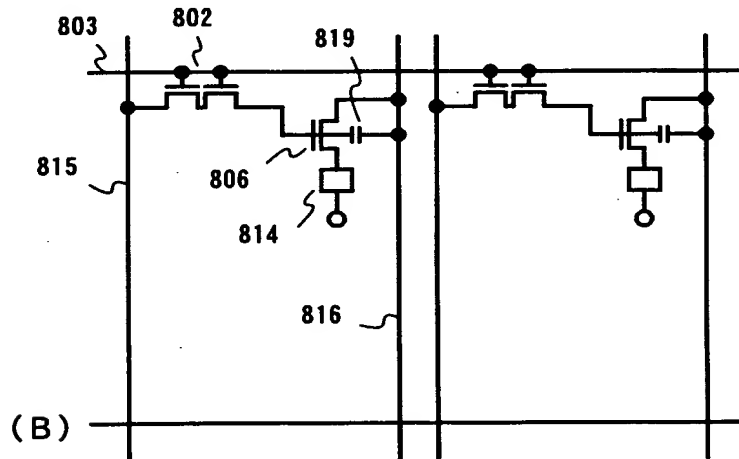
【図 22】



【図 23】

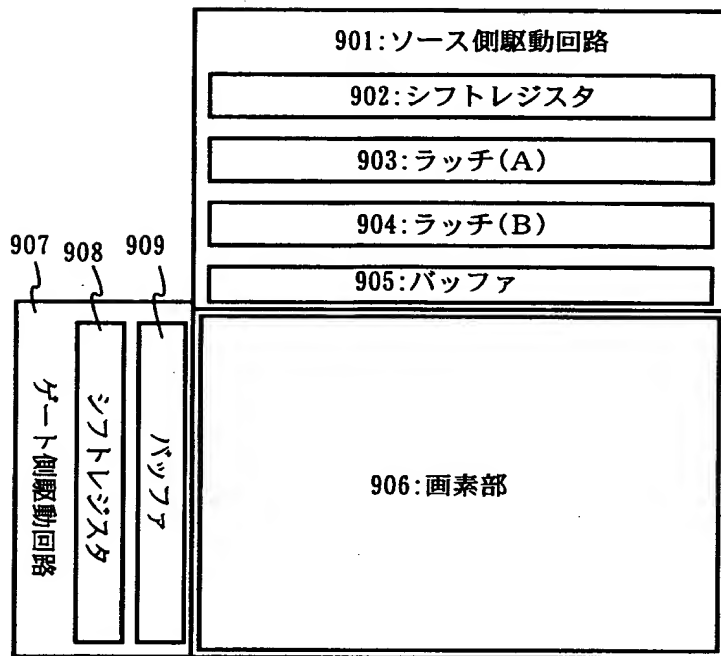


(A)

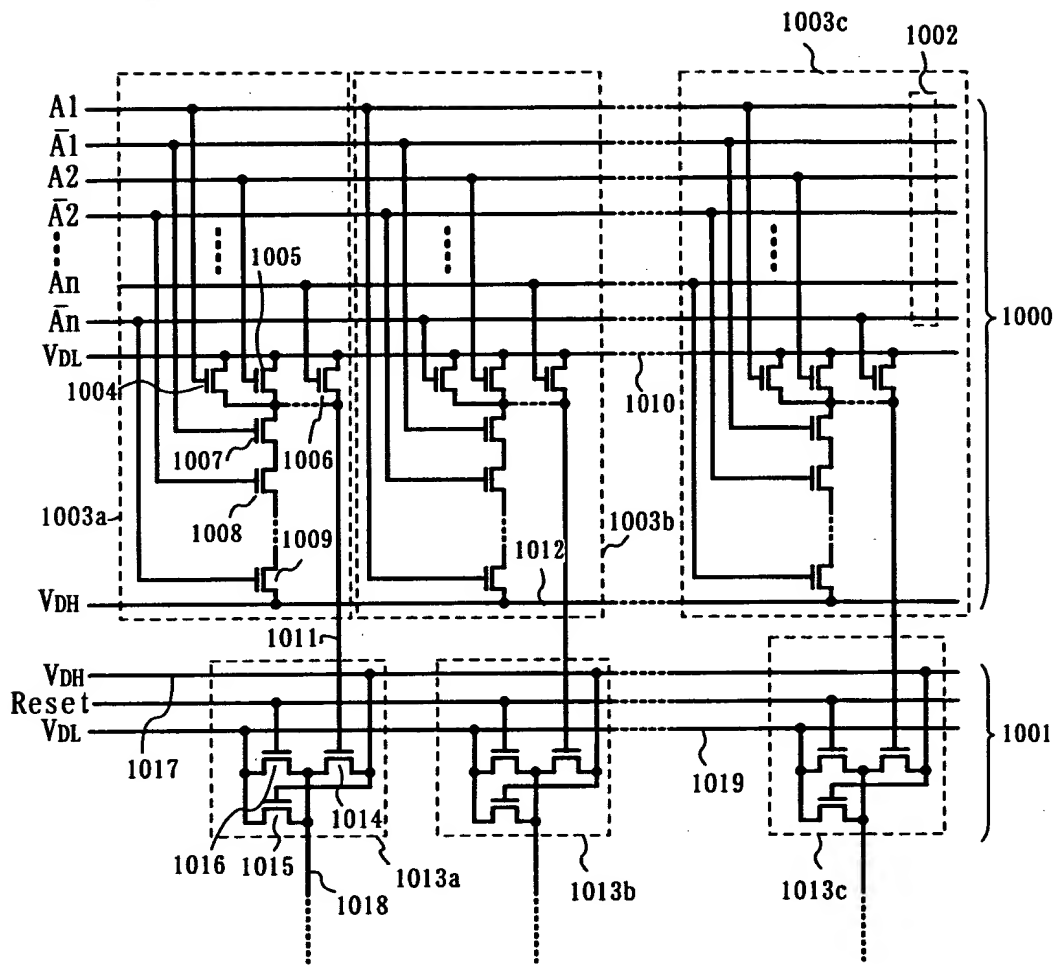


(B)

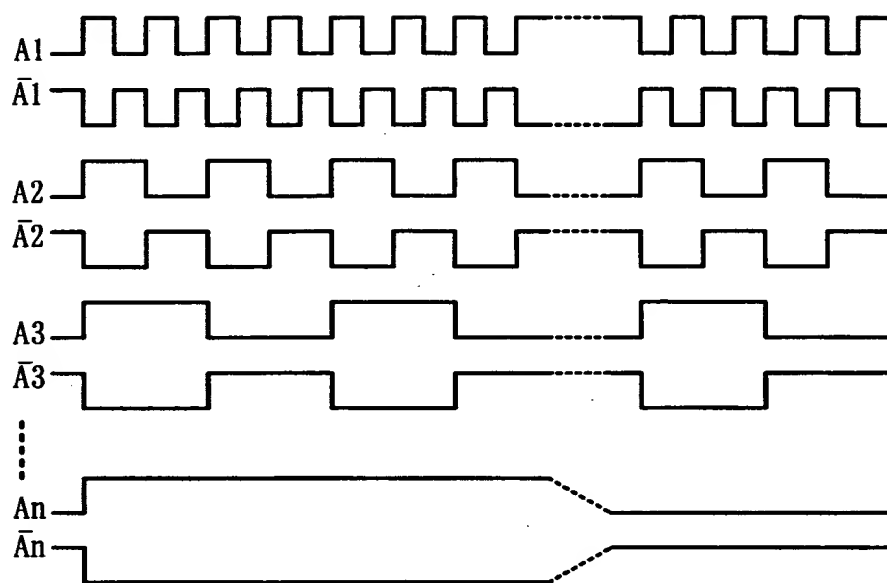
【図 2 4】



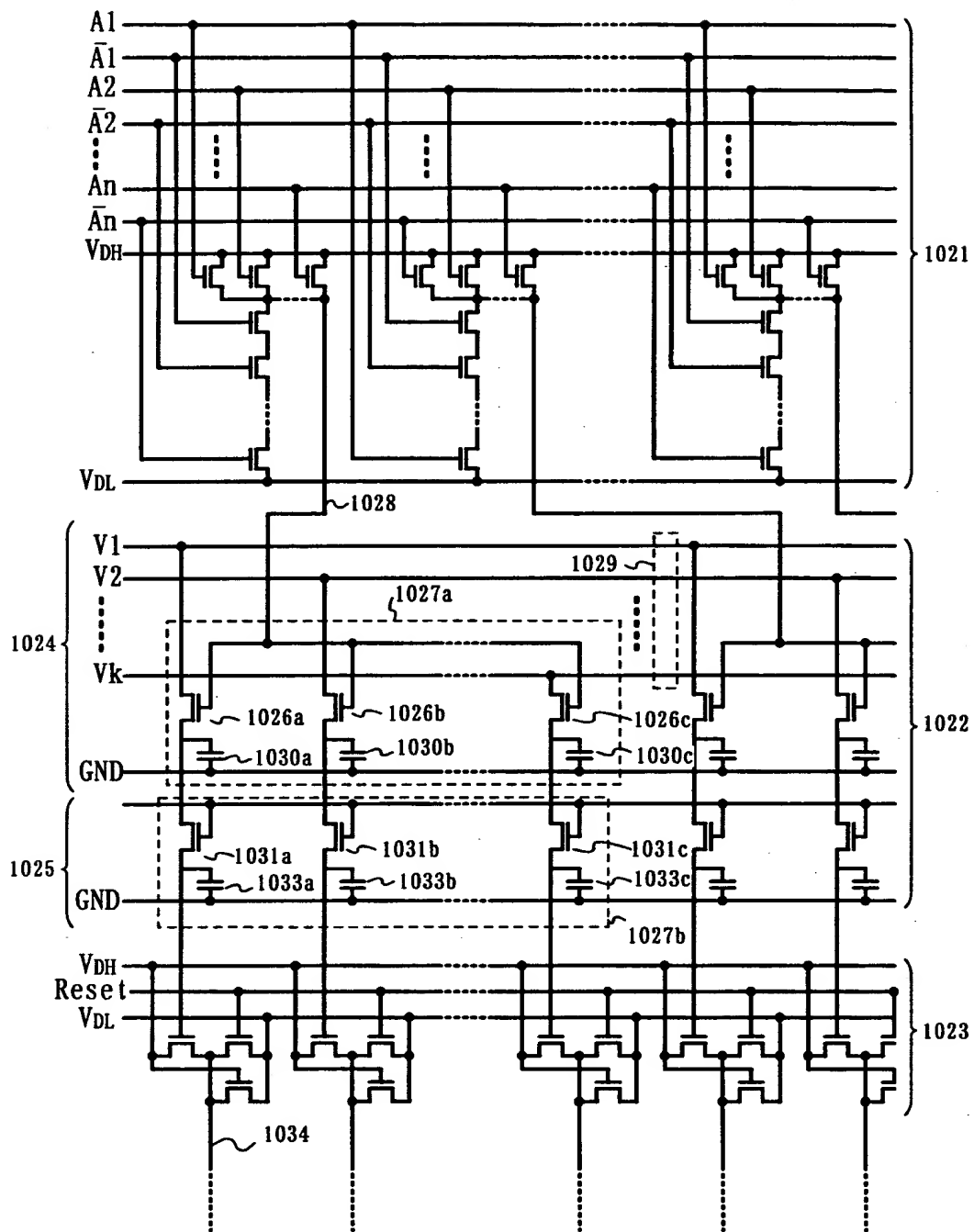
【図 2 5】



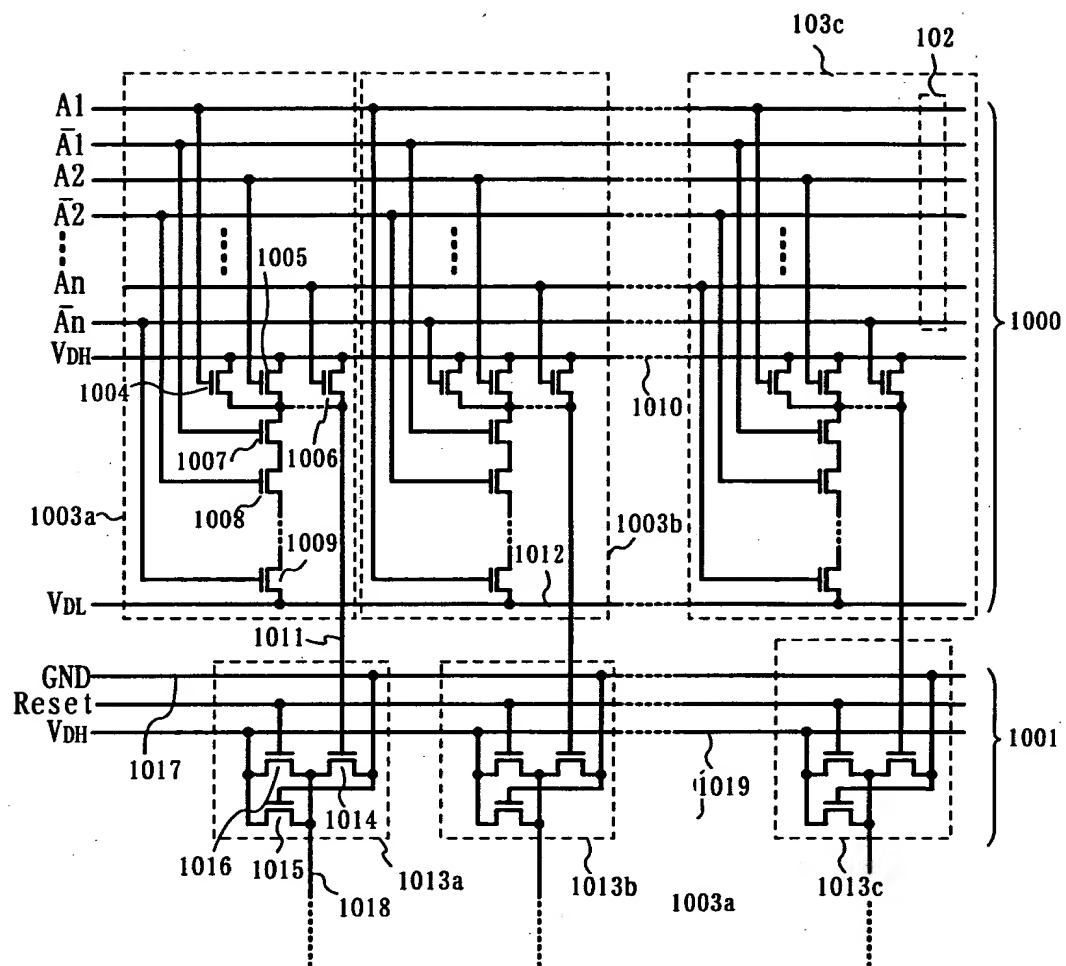
【図 2 6】



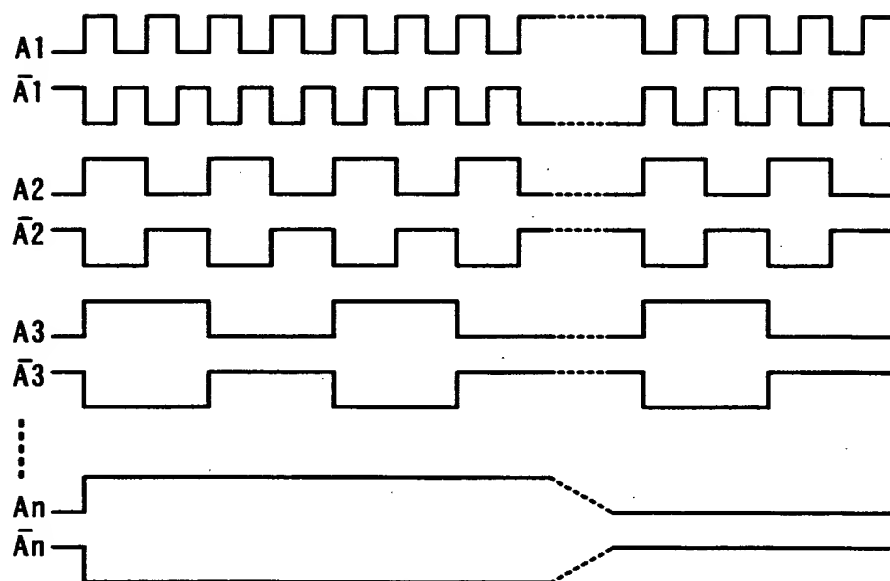
【図 27】



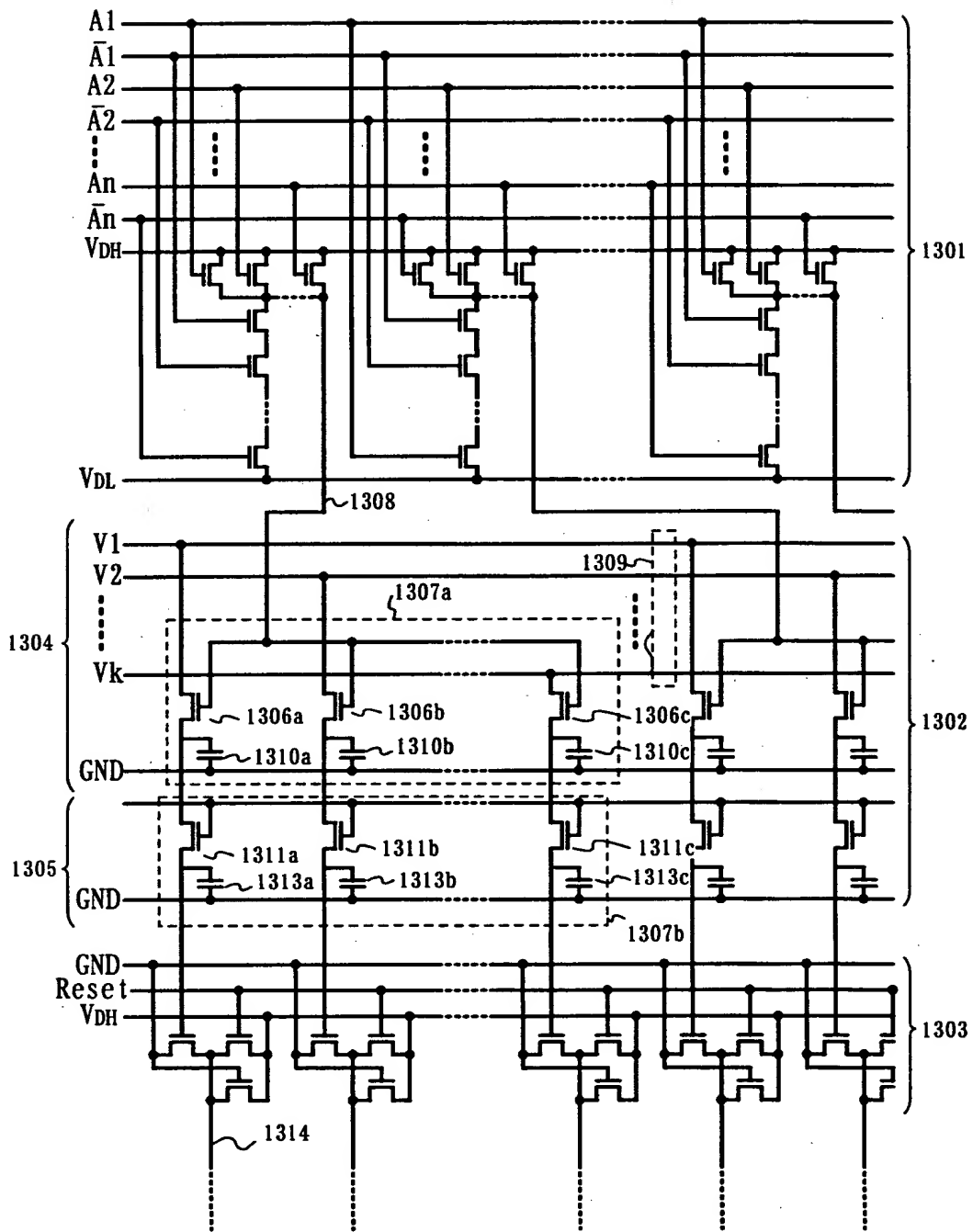
【図 28】



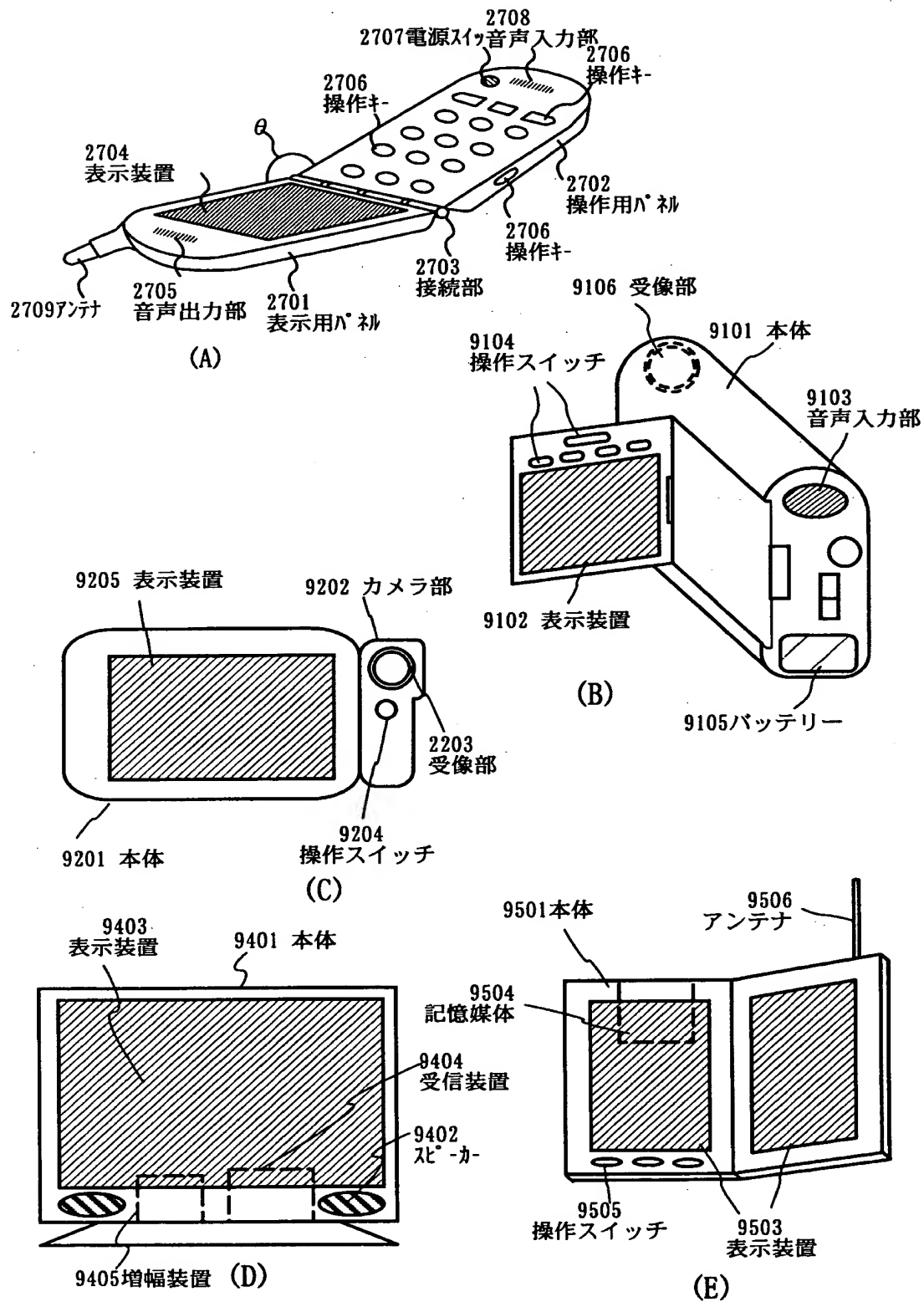
【図 29】



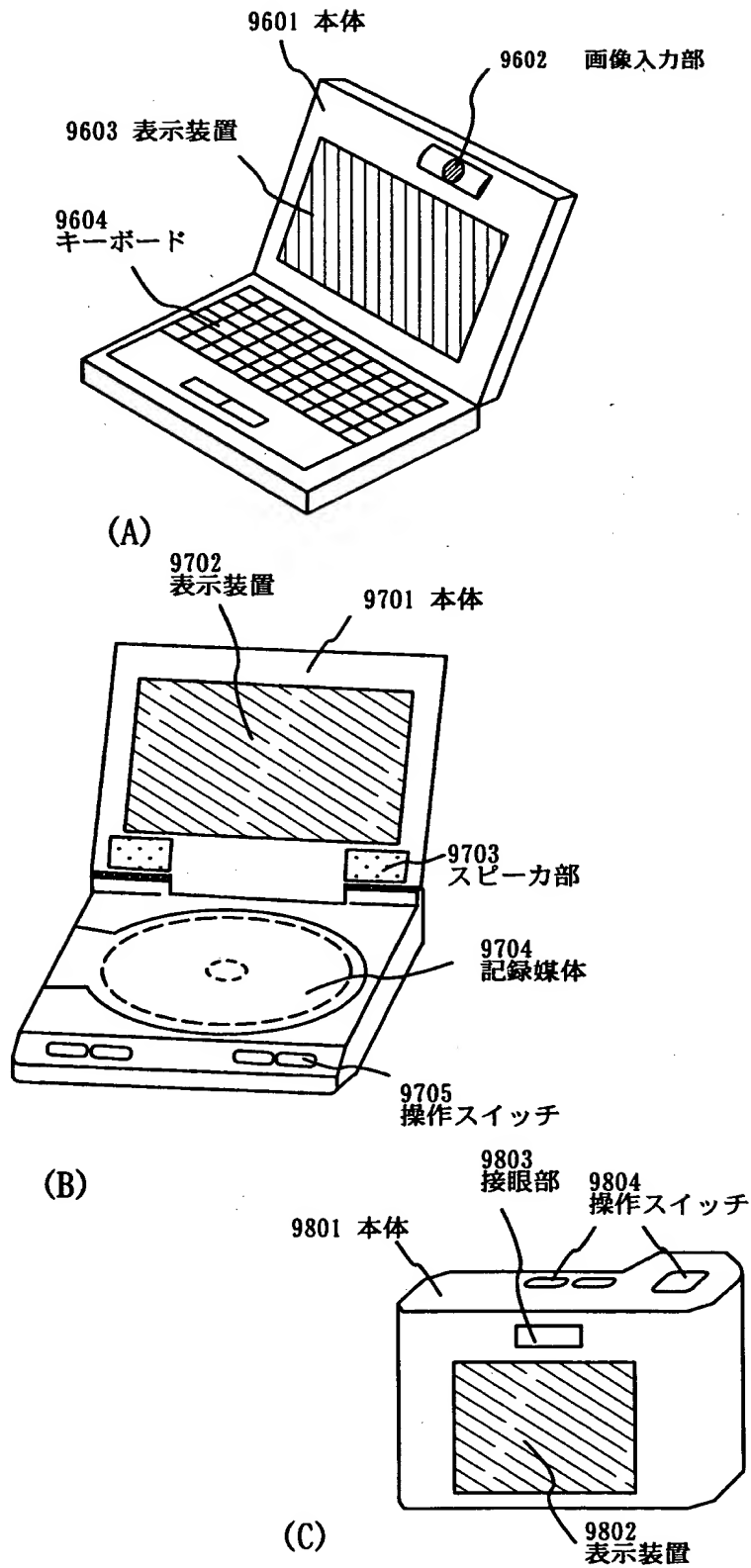
【図 3 0】



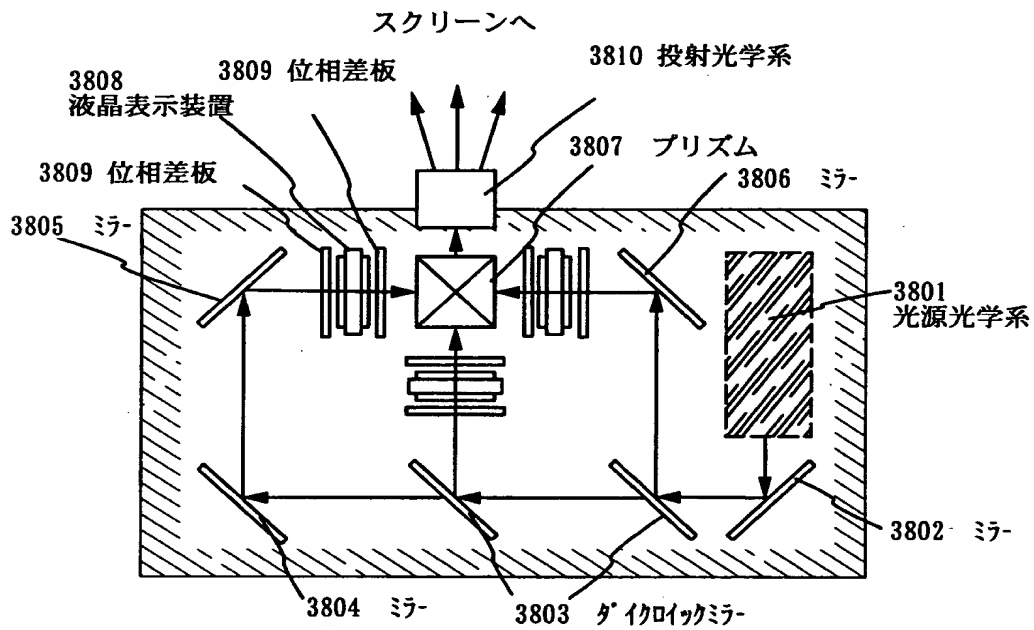
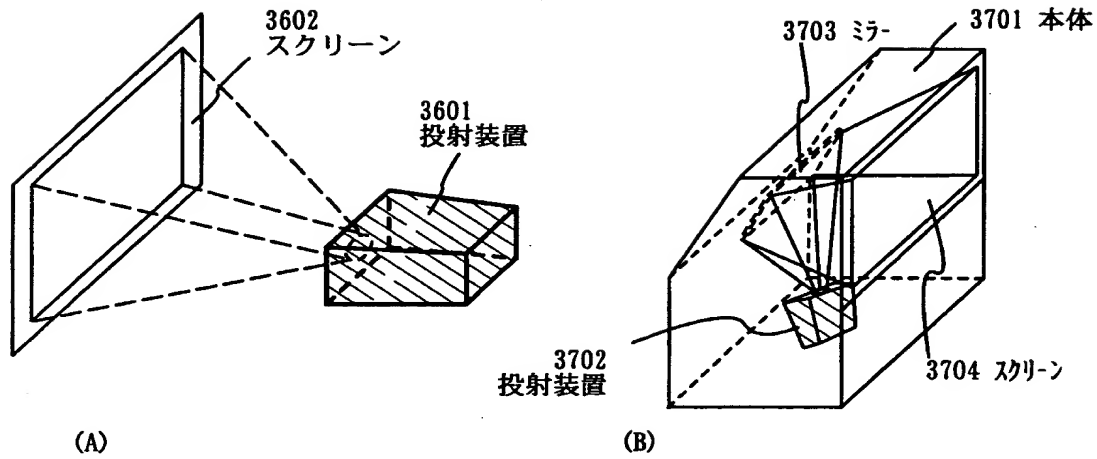
【図 31】



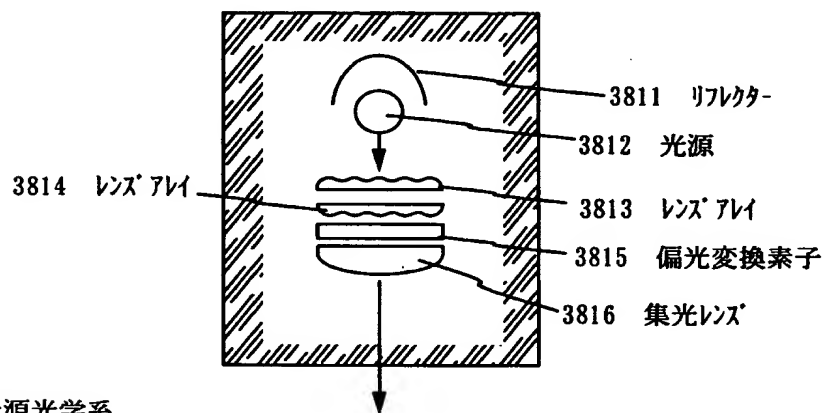
【図 3 2】



【図 3 3】

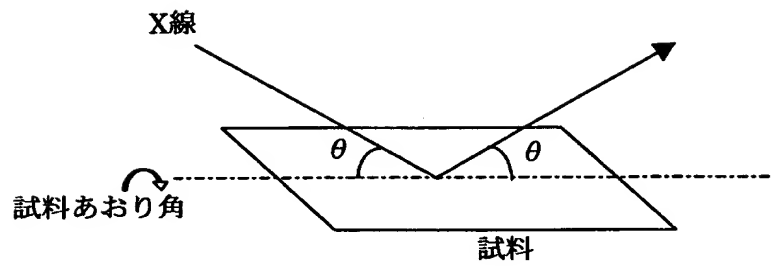


(C) 投射装置 (三板式)

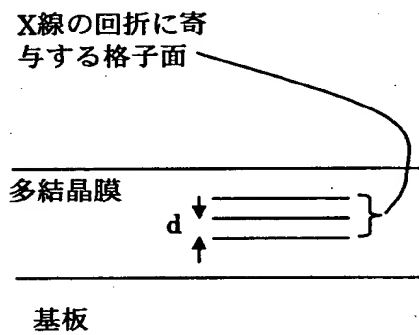


(D) 光源光学系

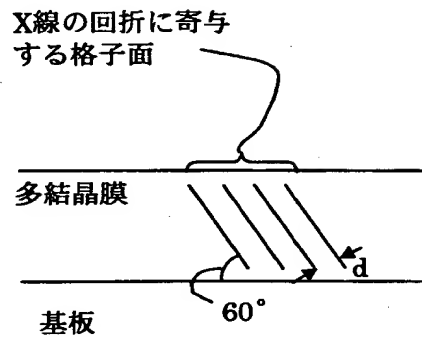
【図 3 4】



【図 3 5】

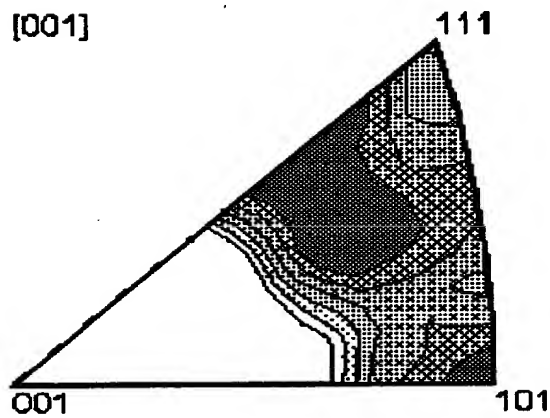


(a) あおり角 0° の場合



(b) あおり角 60° の場合

【図 3 6】



【書類名】 要約書

【要約】

【課題】 非晶質半導体膜を結晶化して得られる結晶質半導体膜の配向性を高め、そのような結晶質半導体膜を用いた T F T を提供することを目的とする。

【解決手段】 シリコンを主成分とする半導体層で T F T が形成されている半導体装置において、半導体層はチャネル形成領域と、一導電型の不純物が添加された不純物領域を有し、チャネル形成領域は、反射電子線回折パターン法で検出される $\{101\}$ 面の半導体膜の表面となす角が 10 度以内である割合が 20% 以上であり、かつ、 $\{001\}$ 面の半導体膜の表面となす角が 10 度以内である割合が 3% 以下であり、かつ、 $\{111\}$ 格子面の半導体膜の表面となす角が 10 度以内である割合が 5% 以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所